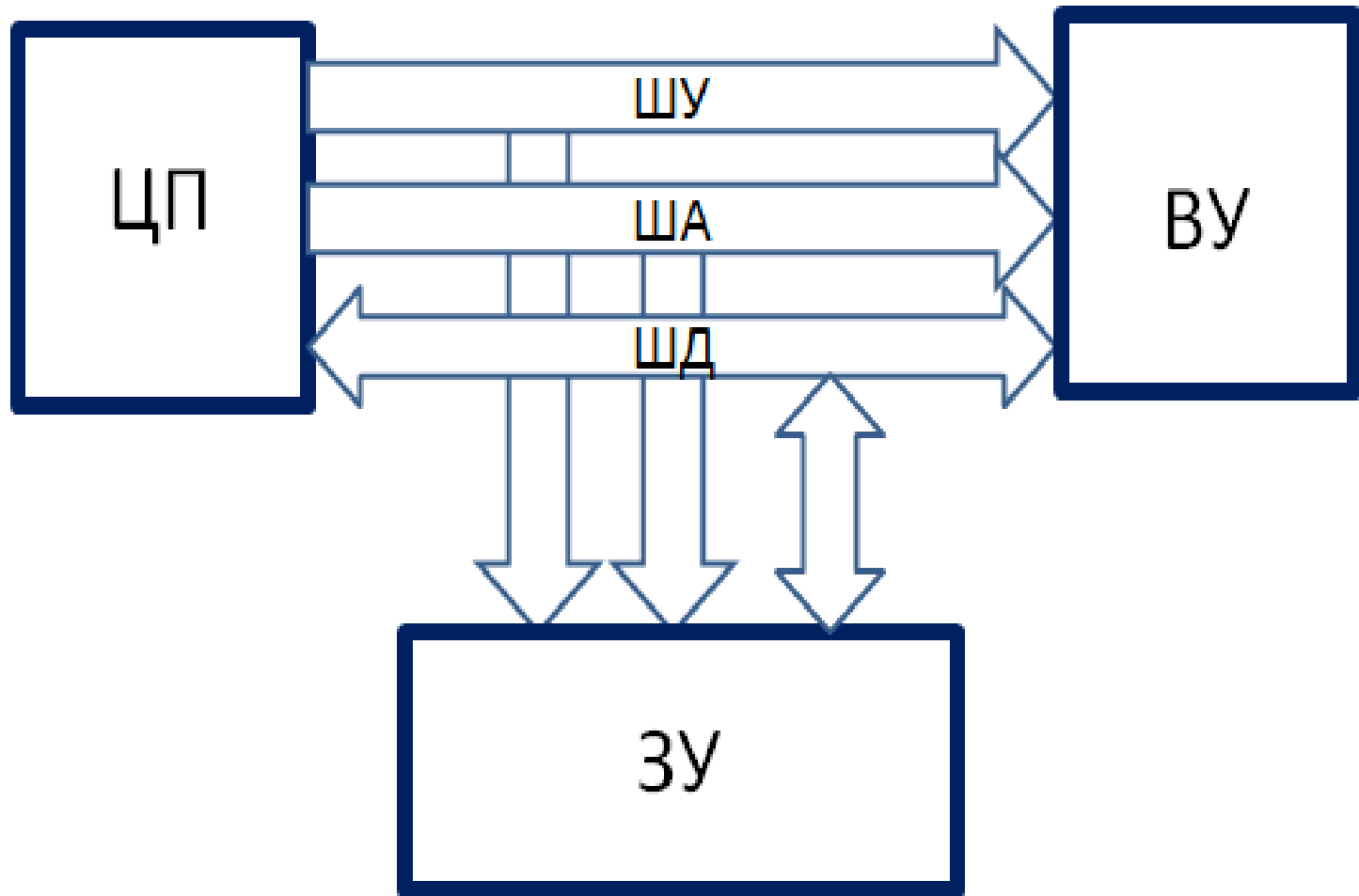


**Введение в профессию:  
направление  
«Электроэнергетика и  
электротехника»  
профиль  
«Электропривод и автоматика»  
Аппаратные средства цифровой  
техники**

**И.В. Музылева, к.т.н., доцент кафедры  
Электропривода ЛГТУ**

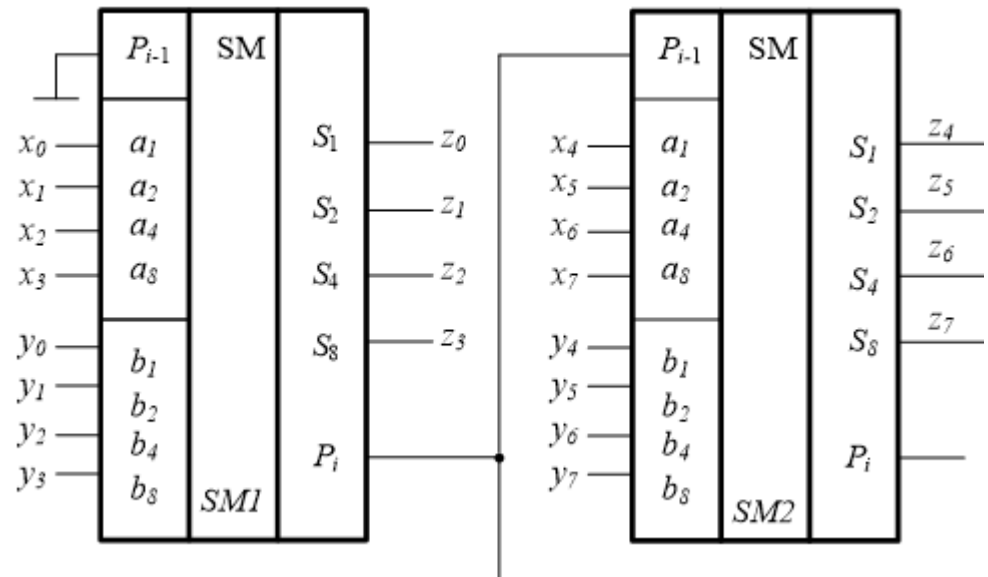
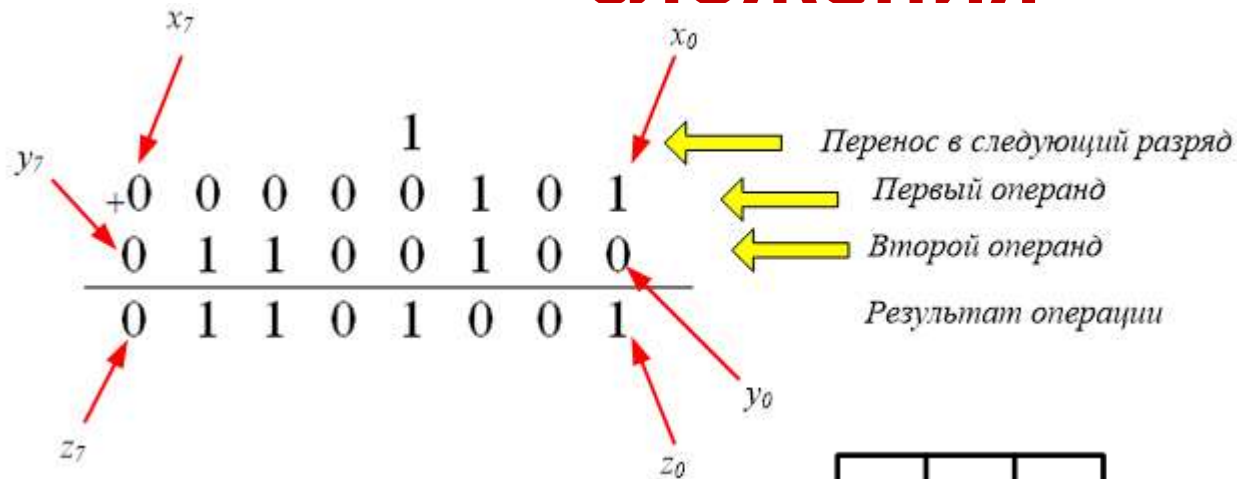
# Укрупнённая структурная схема ЭВМ



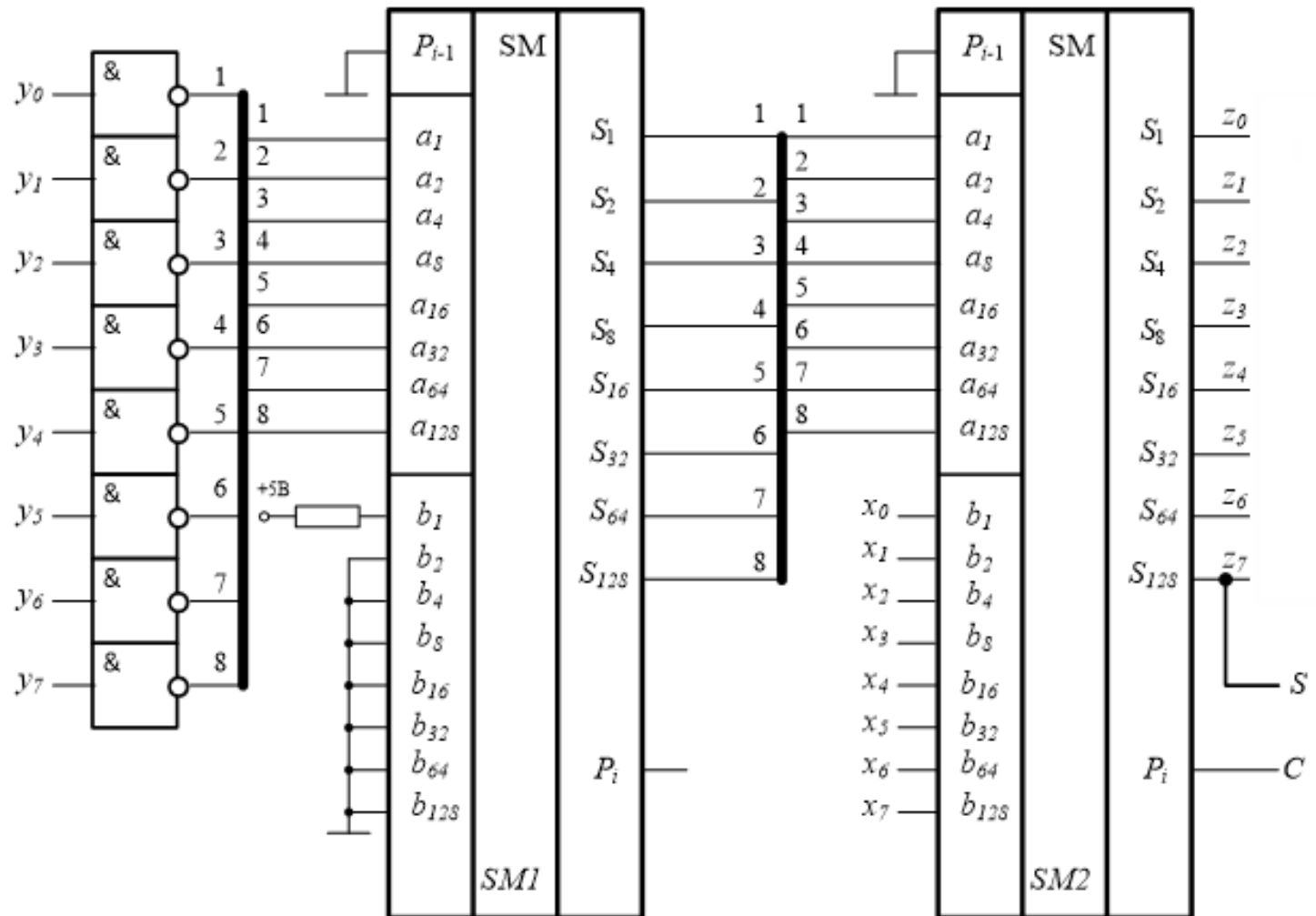
# Базовые операции АЛУ МП

- 1) арифметическое сложение
- 2) вычитание
- 3) логическое сложение
- 4) логическое умножение
- 5) ИСКЛЮЧАЮЩЕЕ ИЛИ

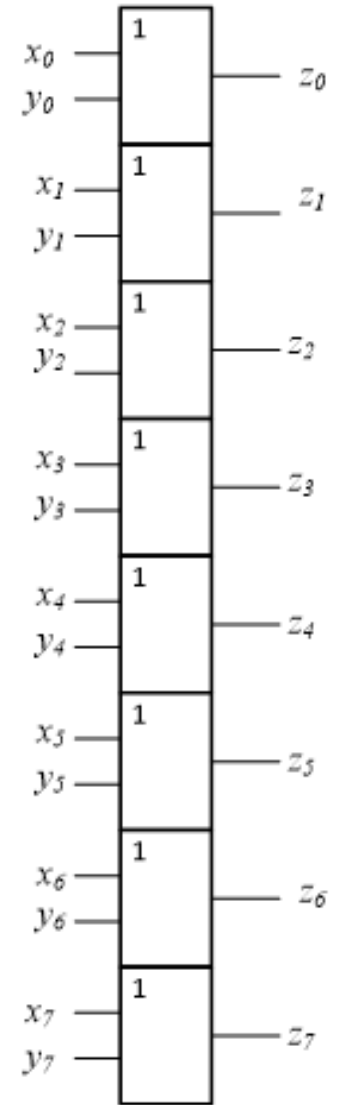
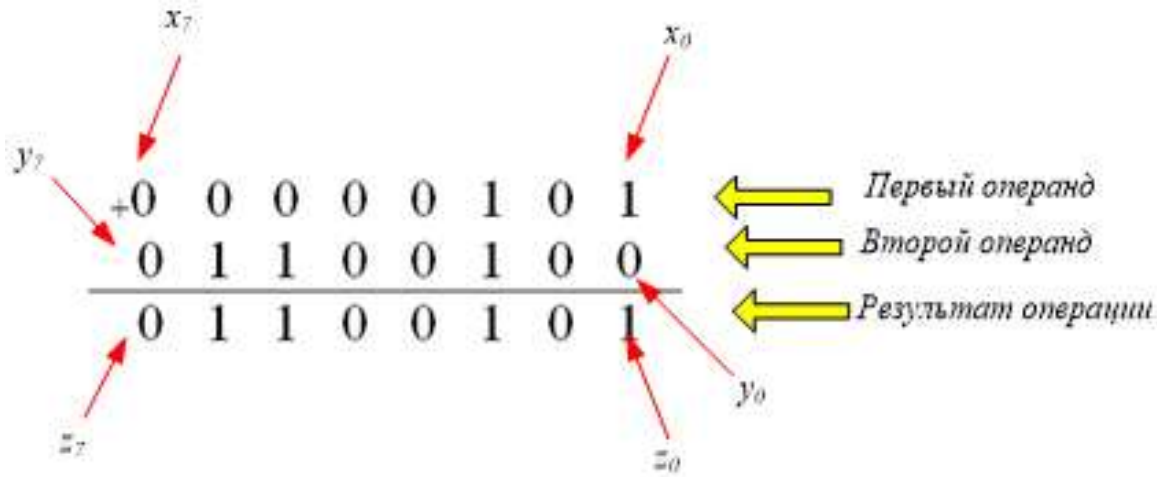
# Организация арифметического сложения



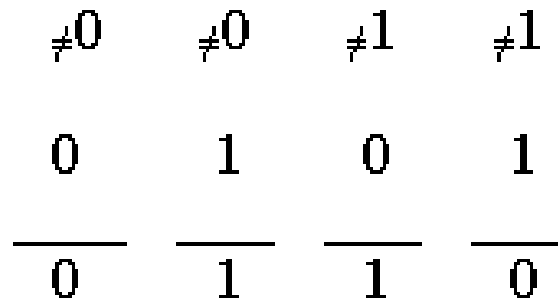
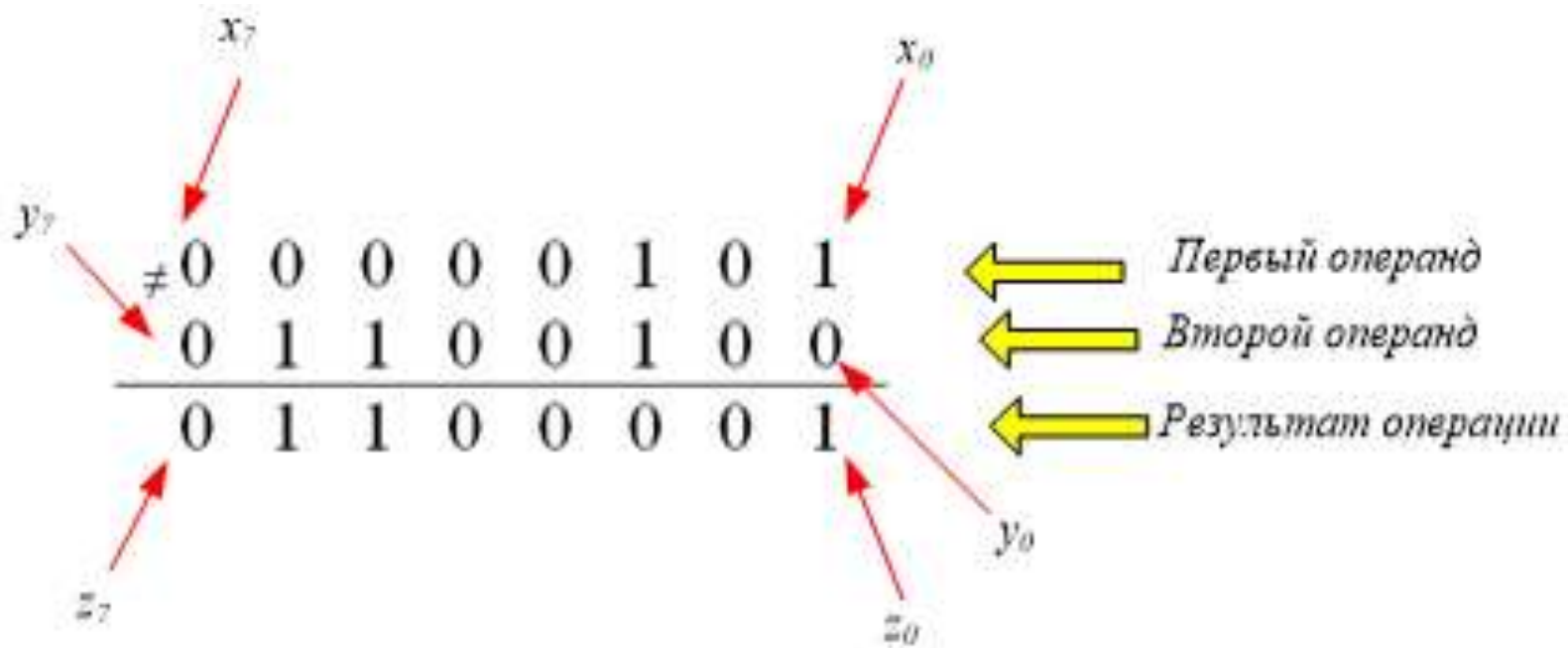
# Организация вычитания



# Организация многоразрядного логического сложения

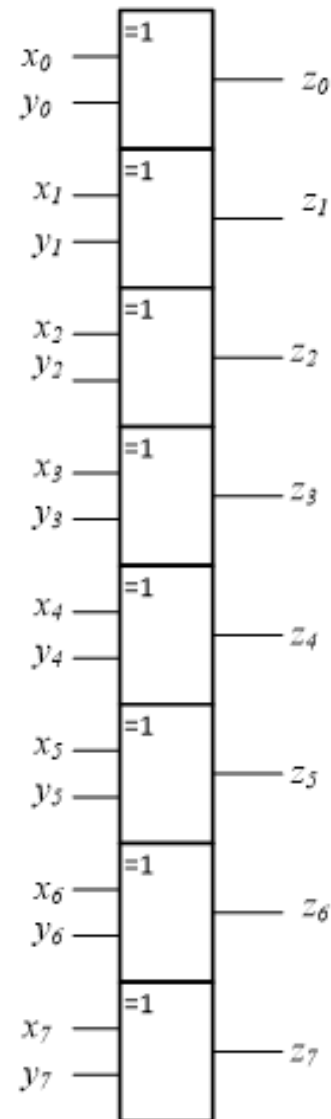
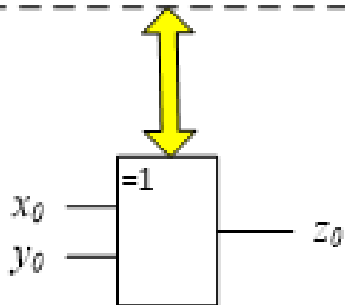
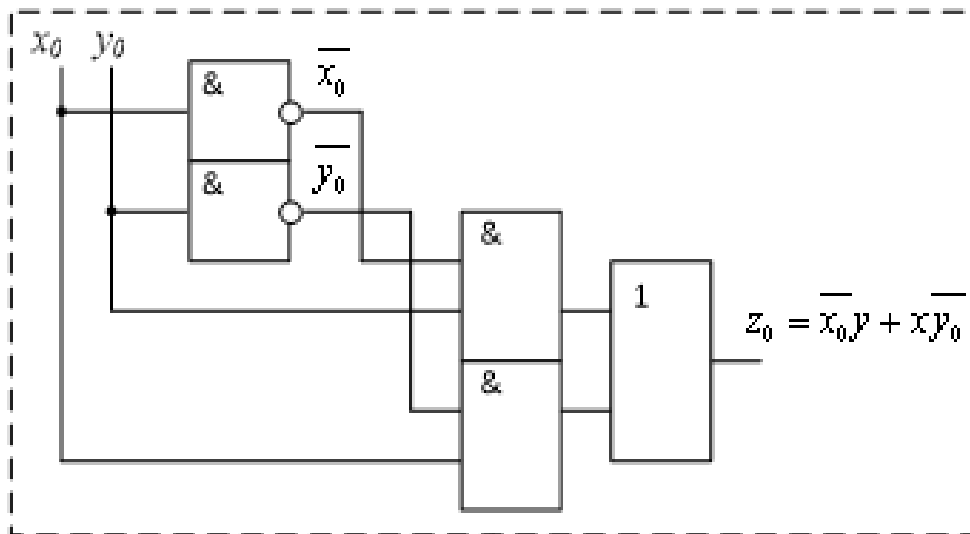


# Организация многорядного ИСКЛЮЧАЮЩЕГО ИЛИ



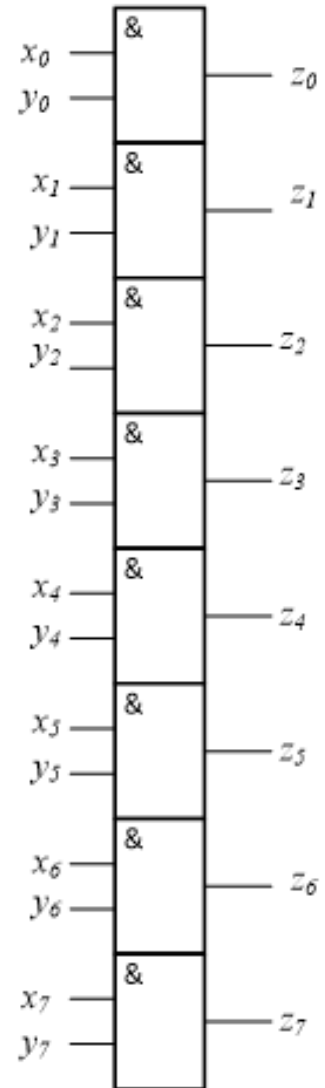
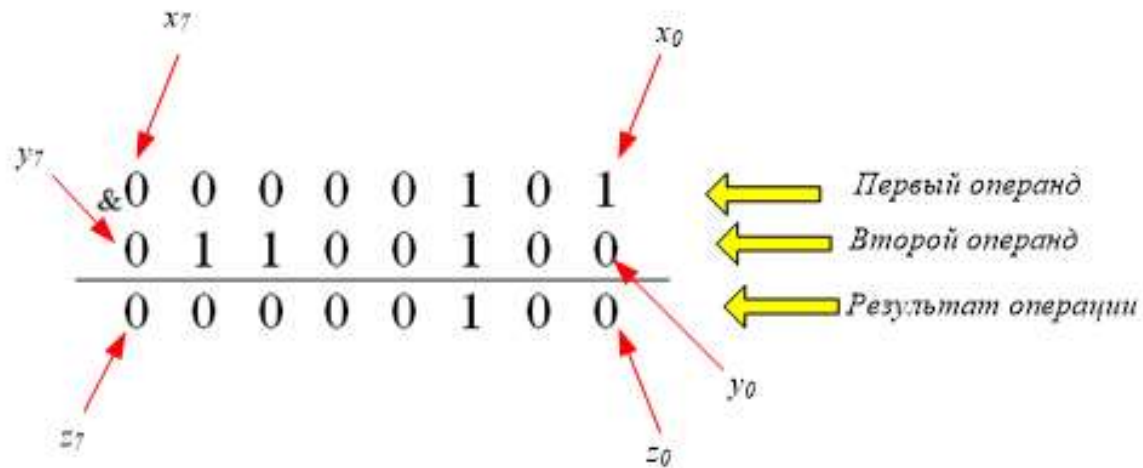
# Организация многоразрядного ИСКЛЮЧАЮЩЕГО ИЛИ

Функциональная схема одного элемента  
Исключающее ИЛИ





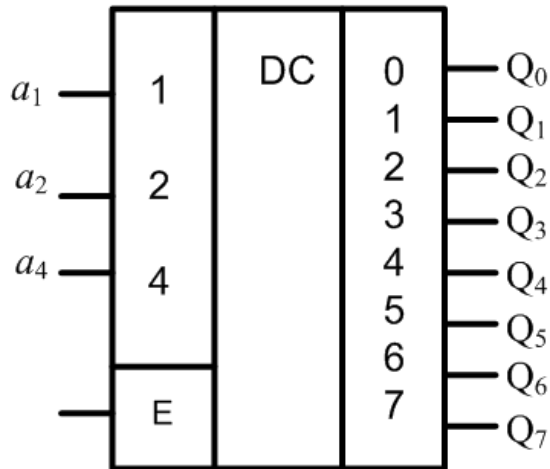
# Организация многоразрядного логического умножения



# Реализация функций управления

- Дешифраторы – управление адресами.
- Мультиплексоры – организация выбора данных по типу «один из многих».
- Шифраторы – индикация.
- Счётчики – организация подсчёта событий.

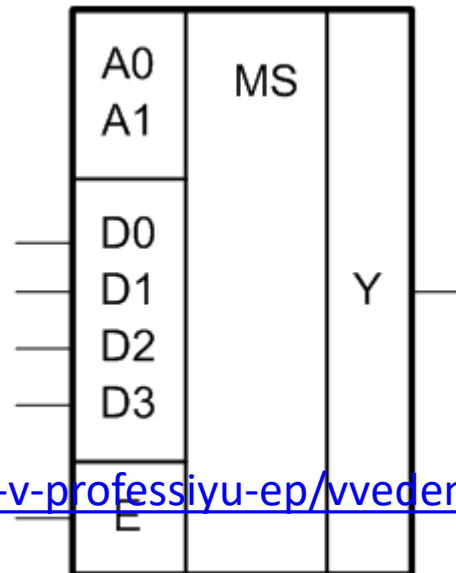
# Принцип действия дешифратора



Входные сигналы			Выходные сигналы							
$a_4$	$a_2$	$a_1$	$Q_7$	$Q_6$	$Q_5$	$Q_4$	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0	0	0	0	0	0	<b>1</b>
0	0	1	0	0	0	0	0	0	<b>1</b>	0
0	1	0	0	0	0	0	0	<b>1</b>	0	0
0	1	1	0	0	0	0	<b>1</b>	0	0	0
1	0	0	0	0	0	<b>1</b>	0	0	0	0
1	0	1	0	0	<b>1</b>	0	0	0	0	0
1	1	0	0	<b>1</b>	0	0	0	0	0	0
1	1	1	<b>1</b>	0	0	0	0	0	0	0

# Принцип действия мультиплексора

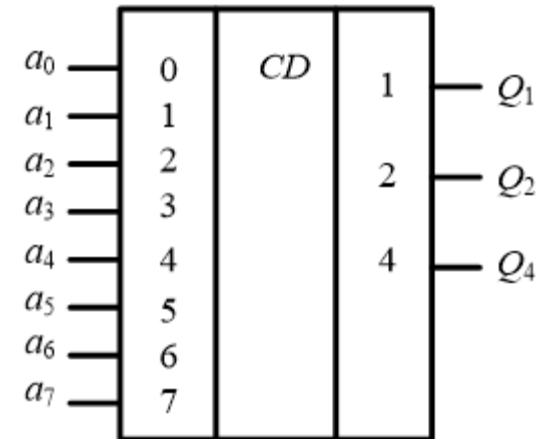
Разрешающий сигнал	Входной код адреса		Информация на выходе	Режим работы
	<i>A1</i>	<i>A0</i>		
<i>E</i>	<i>A1</i>	<i>A0</i>	<i>Y</i>	
0	0	0	0	Коммутации информационных линий нет
0	0	1		
0	1	0		
0	1	1		
1	0	0	<i>D0</i>	Передача с <i>D0</i> на <i>Y</i>
1	0	1	<i>D1</i>	Передача с <i>D1</i> на <i>Y</i>
1	1	0	<i>D2</i>	Передача с <i>D2</i> на <i>Y</i>
1	1	1	<i>D3</i>	Передача с <i>D3</i> на <i>Y</i>



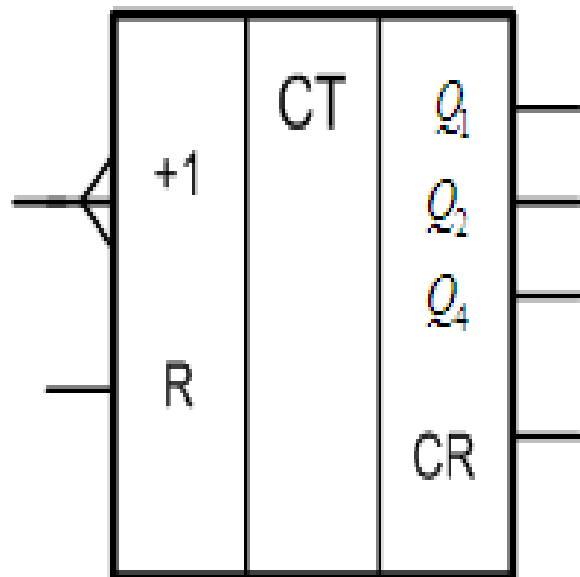
# Принцип действия шифратора

Таблица состояний полного шифратора на 3 выхо;

Обозначения входов								Обозначения выходов		
7	6	5	4	3	2	1	0	4	2	1
Сигналы на входах								Сигналы на выходах		
$a_7$	$a_6$	$a_5$	$a_4$	$a_3$	$a_2$	$a_1$	$a_0$	$Q_4$	$Q_2$	$Q_1$
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1



# Принцип действия счётчиков



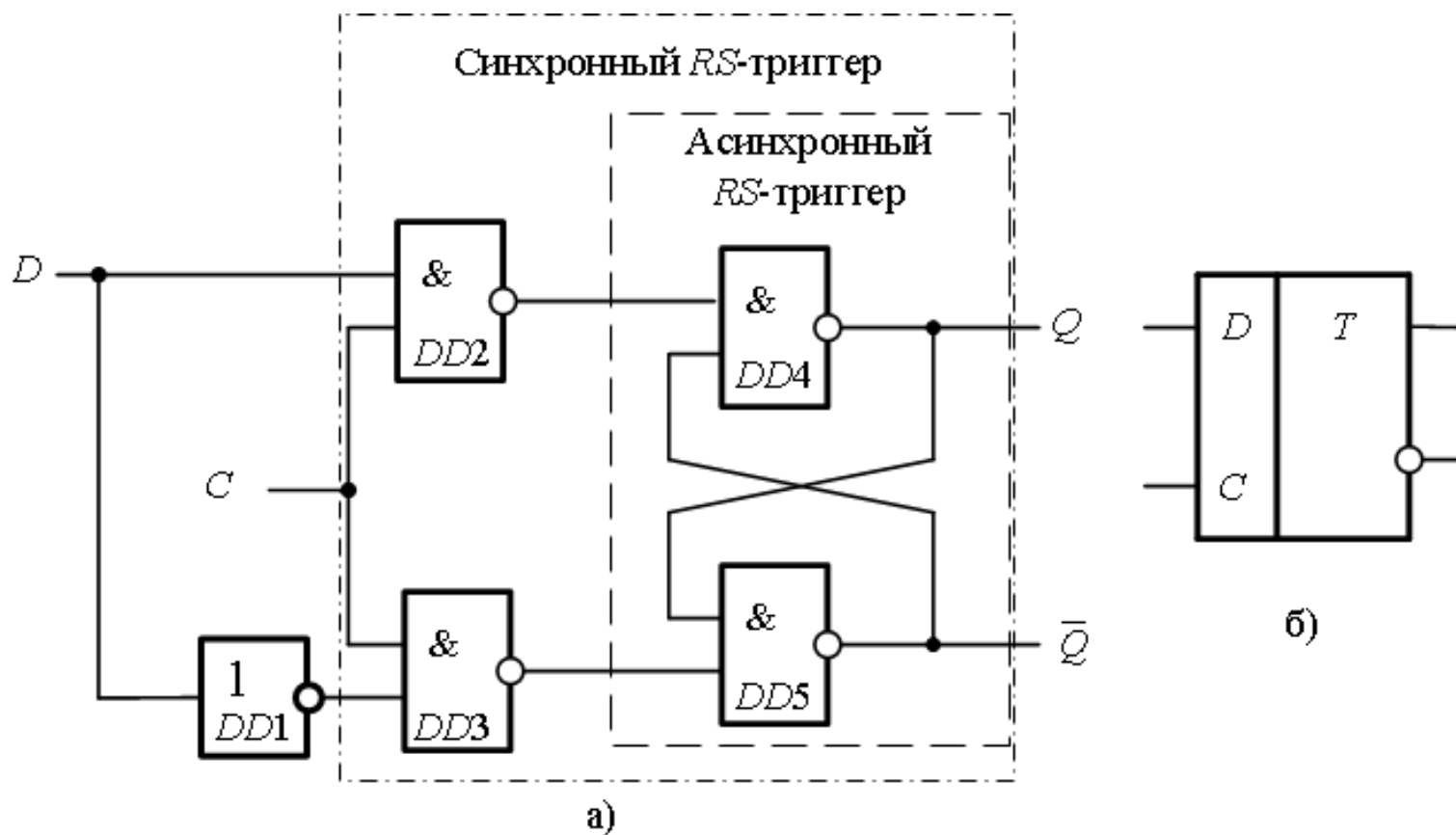
**+1** – приём импульсов;  
**R** – сброс счётчика;  
**Q** – двоичный код,  
соответствующий  
количеству импульсов;  
**CR** – переполнение  
двоичного кода.

**УГО двоичного суммирующего счётчика**

# Иерархия запоминающих устройств

- Триггеры – запоминание 1 бита информации.
- Регистры – запоминание многоразрядных чисел.
- ОЗУ и ПЗУ – запоминание большого количества многоразрядных чисел

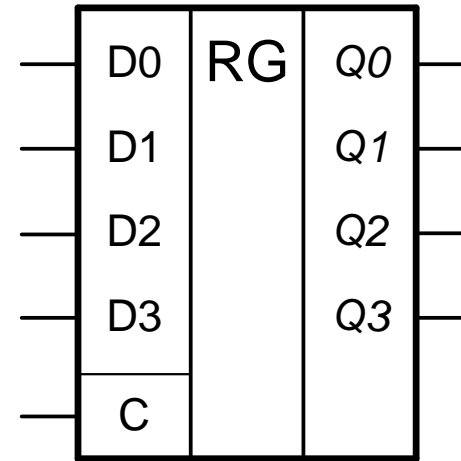
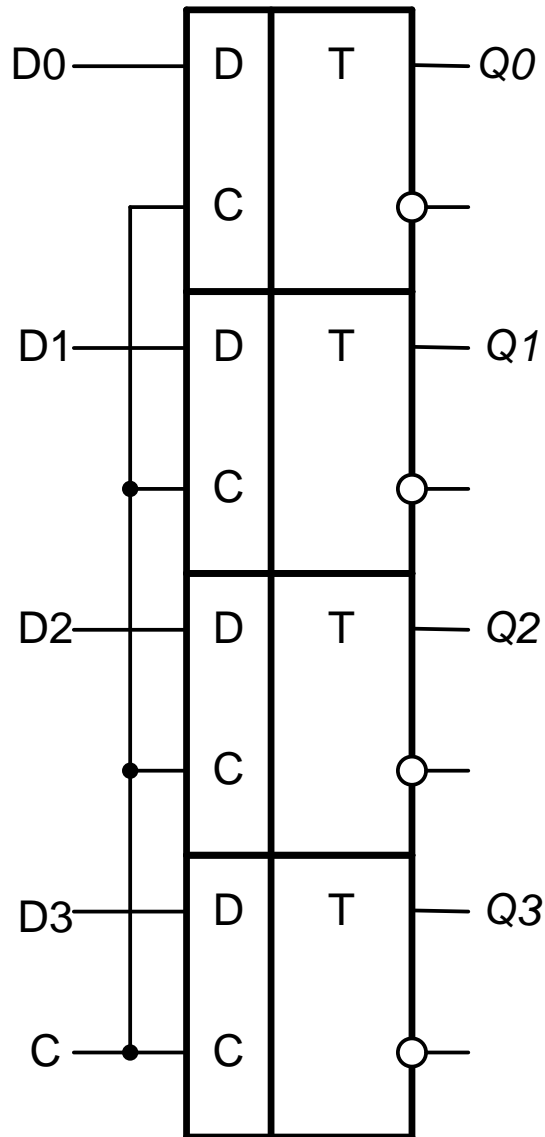
# Принцип действия триггера



D-триггер «защелка»



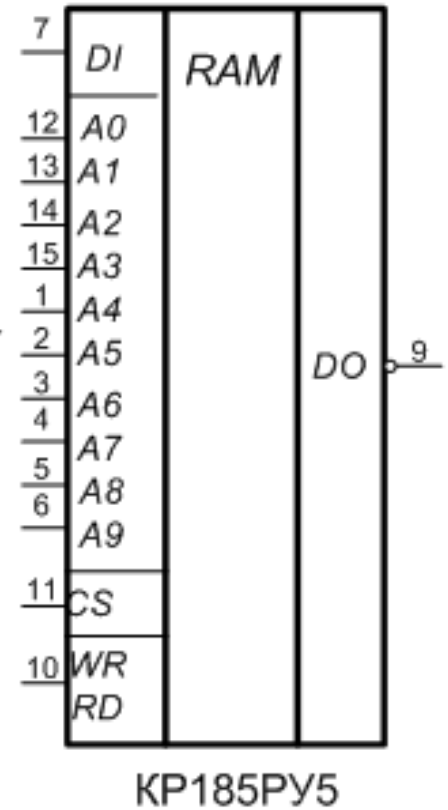
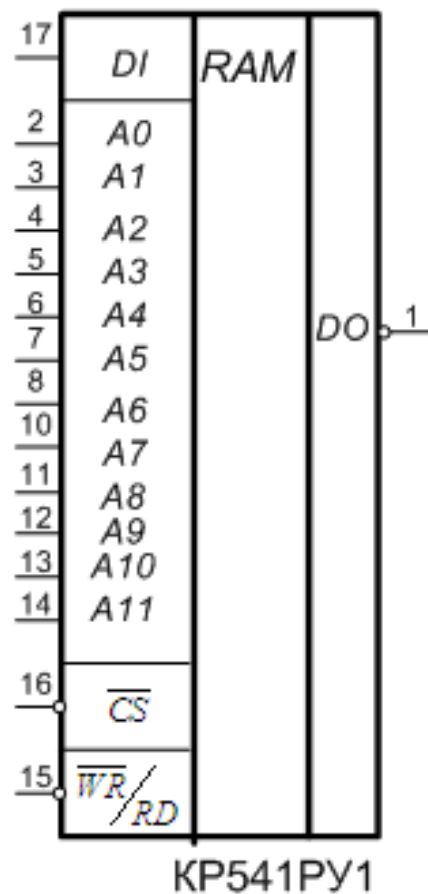
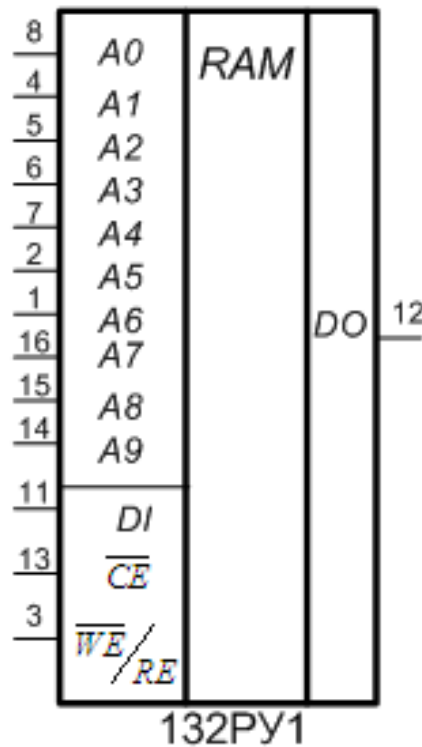
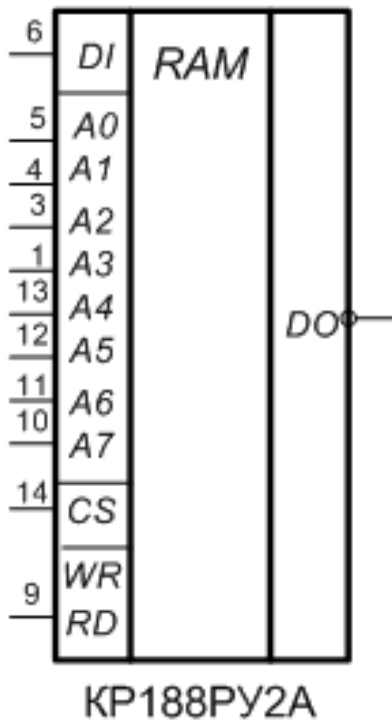
# Принцип действия регистра



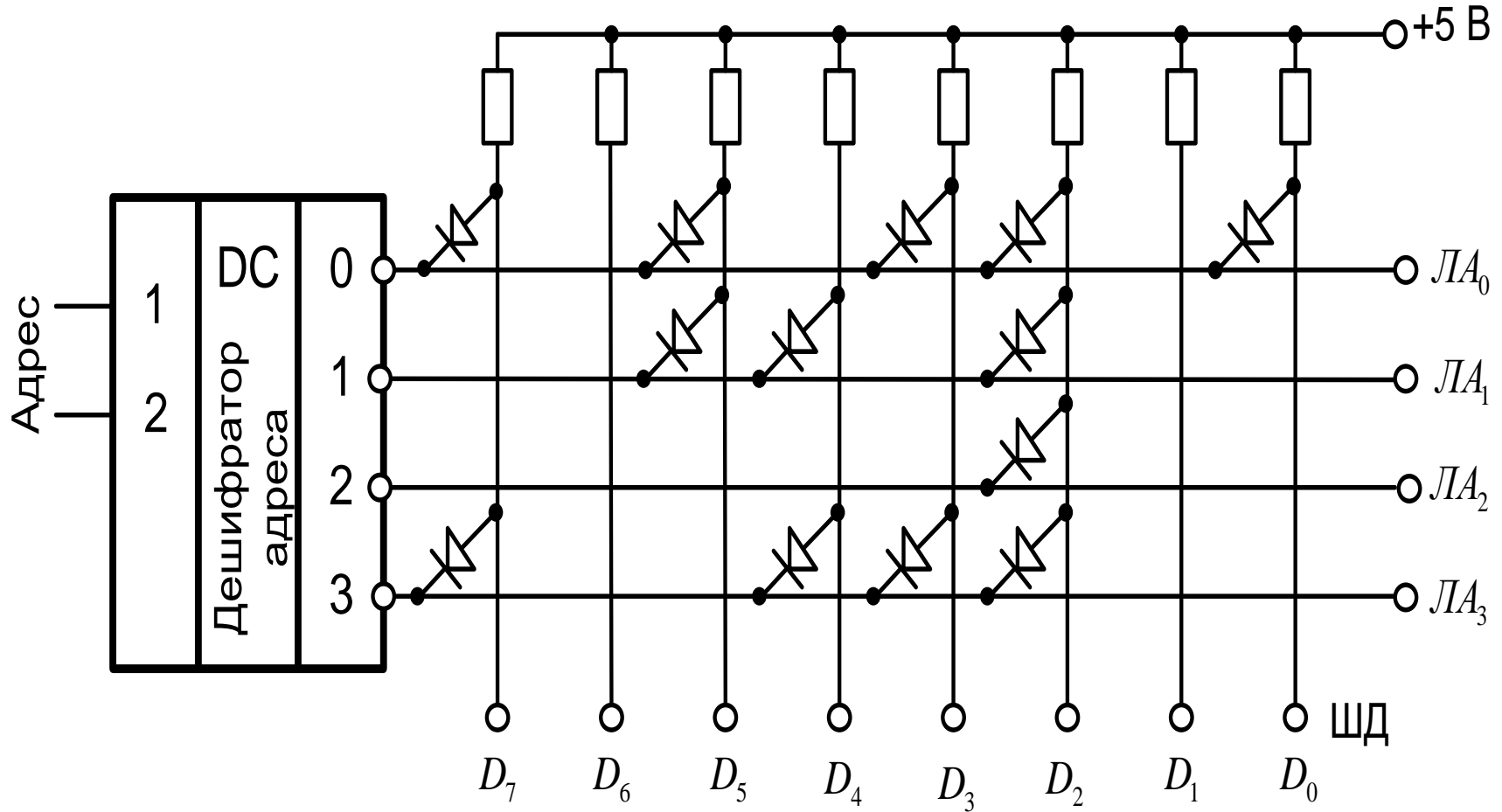
б)

а)

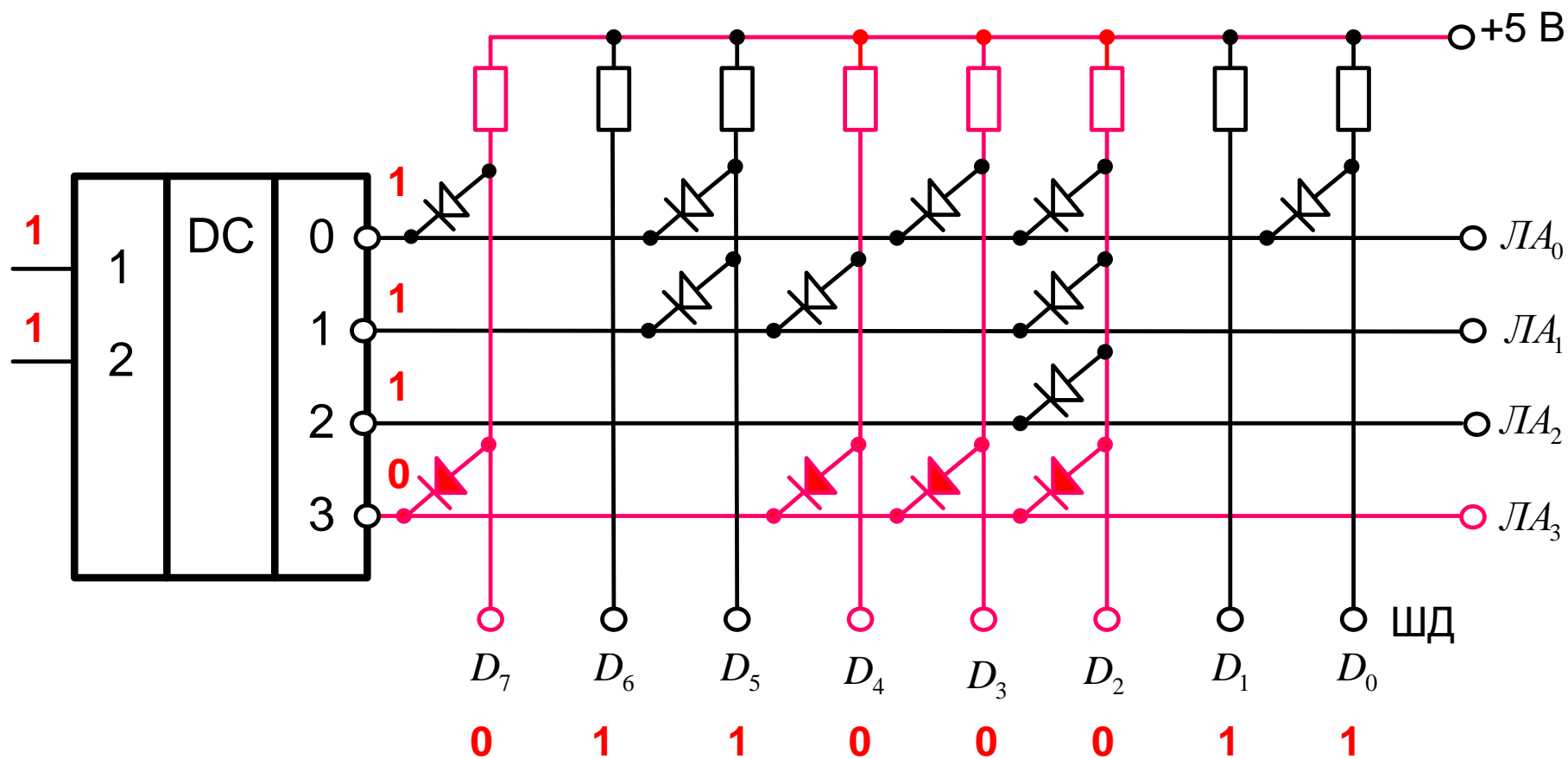
# УГО ОЗУ



# Масочные ПЗУ



# Считывание информации, записанной по адресу 11



# Масочные ПЗУ: примеры БИС

