

ЭЛЕМЕНТЫ СИСТЕМ АВТОМАТИКИ

# Тема 8

---

Регистры и регистровая память

И.В. Музылёва  
2013

Принцип действия регистров как элементов электронной памяти.

*Регистр – это ИМС средней степени интеграции, предназначенная для запоминания и хранения многоразрядного слова.*

### **Регистр-защелка**

Простейший **регистр** представляет собой параллельное соединение нескольких триггеров (рис. 1,а). УГО регистра-защелки приведена на рис. 1,б. Если **регистр** построен на триггерах-защелках, то его называют **регистр-«защелка»**. Как правило, в состав ИС регистра входят буферные усилители и элементы управления, например как показано на рис. 2,а. Здесь изображена функциональная схема 8-разрядного *D*-регистра-защелки КР580ИР82 с тремя состояниями на выходе. Его УГО представлено на рис. 2,б.

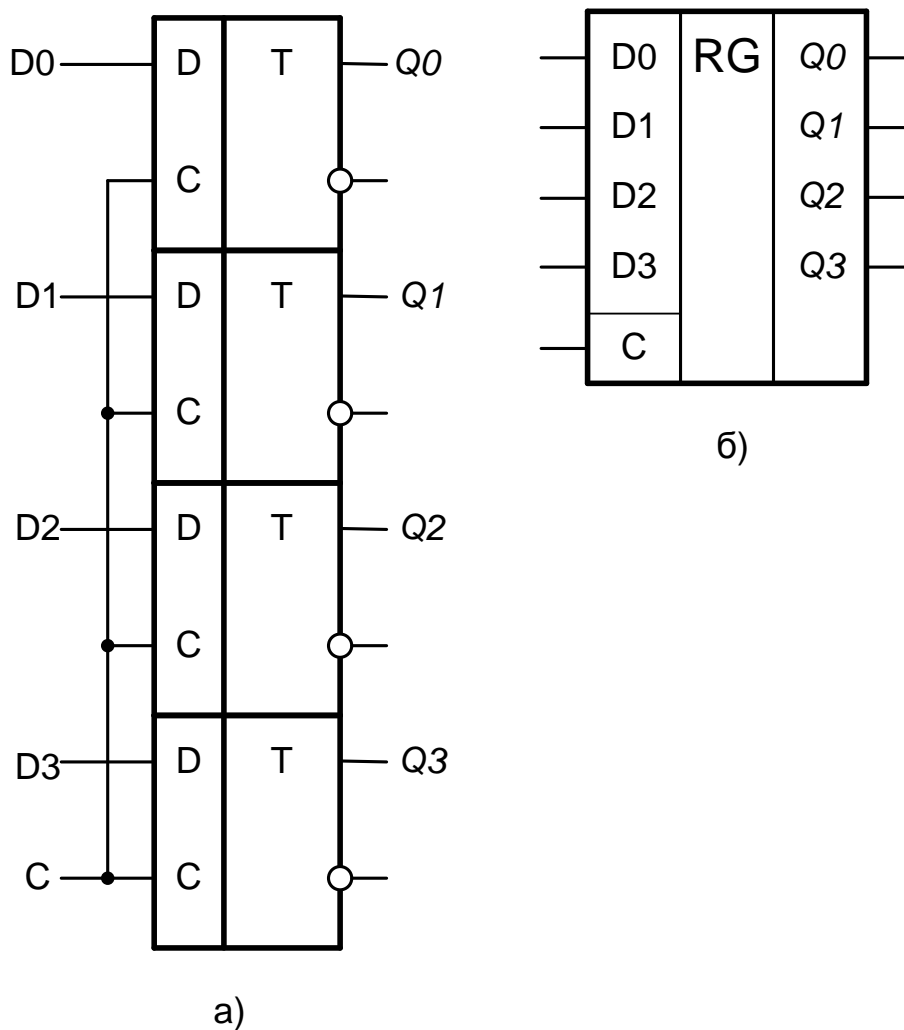


Рис. 1. Четырёх-разрядный регистр-"защелка" с прямыми выходами:

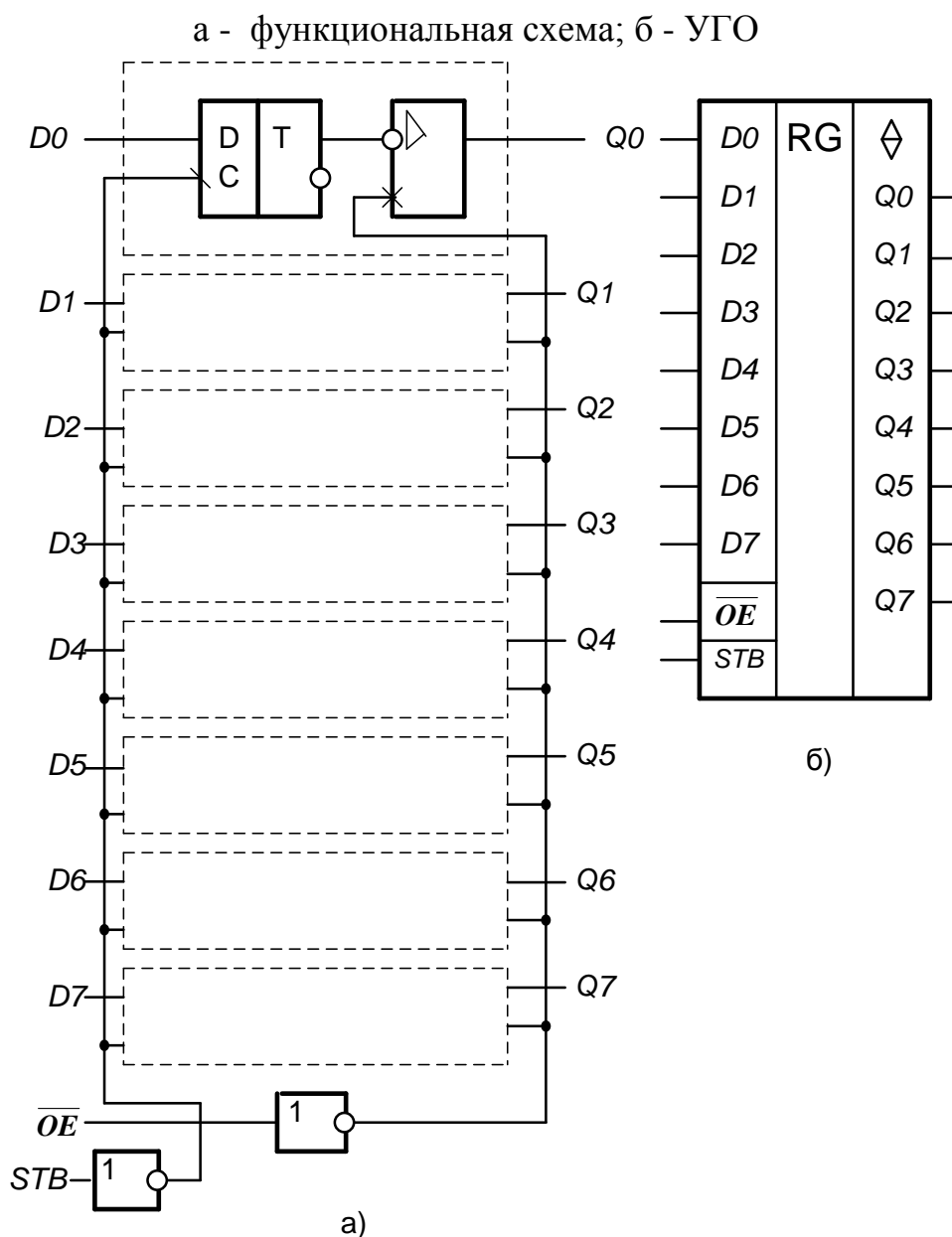


Рис. 2. Восьми-разрядный регистр-"защелка"

КР580ВМ80А: а - функциональная схема; б - УГО

**Третьим состоянием** (первые два – это логический 0 и логическая 1) называется состояние выходов ИС, при котором они отключены и от источника питания, и от общей точки. Другие названия этого состояния – состояние **высокого сопротивления, высокоимпедансное состояние, Z-состояние**.

Достигается это **третье состояние** специальным схемным решением в выходной части логических элементов, когда выходные транзисторы логических элементов заперты и не подают на выход ни напряжения питания, ни потенциала земли (не 0 и не 1).

**Регистр** КР580ИР82 состоит из 8 функциональных блоков (рис. 2,а). В каждый из них входит  $D$ -триггер-защелка с записью по заднему фронту и мощный выходной вентиль на 3 состояния.  $STB$  - стробирующий вход,  $\overline{OE}$  - разрешение передачи – сигнал, управляющий третьим состоянием: если  $\overline{OE}=0$ , то происходит передача информации со входов  $D$  на соответствующие выходы  $Q$ , если же  $\overline{OE}=1$ , все выходы  $Q$  переводятся в третье состояние. При  $STB=1$  и  $\overline{OE}=0$  ИС работает в режиме шинного формирователя – информация со входов  $D$  передается на выходы  $Q$  в неизменном виде.

При подаче на  $STB$  заднего фронта сигнала происходит «защелкивание» передаваемой информации в триггерах, то есть там запоминается то, что было на момент подачи  $STB=1/0$ . Пока  $STB=0$ , буферный **регистр** будет хранить эту информацию, независимо от информации на  $D$ -входах. При подаче переднего фронта  $STB=0/1$  при сохранении  $\overline{OE}=0$  состояние выходов  $Q$  будет изменяться в соответствии с изменением на соответствующих входах  $D$ . Если же  $\overline{OE}=1$ , то все выходные усилители переводятся в третье состояние. При этом, независимо от состояния входов, все выходы **регистра**  $Q7... Q0$  переводятся в третье состояние.

Все выводы регистра могут иметь активный нулевой уровень, что отображается на УГО в виде инверсных сигналов и обозначений выводов.

Существует множество разновидностей **регистров**, например, сдвиговые регистры, в которых триггеры соединены между собой таким образом, что передают информацию последовательно от одного триггера к другому. Здесь рассматривается только регистр-защелка, работающий в параллельном коде, и его применение.

### ***Регистровая память***

***Регистровая память – register file – это сверхоперативное запоминающее устройство (СОЗУ) – схема из нескольких регистров, предназначенная для хранения нескольких многоразрядных слов.***

На рис. 3 показан пример реализации **СОЗУ**, состоящего из четырех 8-разрядных **регистров** (подключение RG2 и RG3 не показано, оно осуществляется аналогично). Данное **СОЗУ** имеет информационный объем 4x8 бит – 4 слова по 8 бит, или 4 байта. Здесь *DI* - *data input* - входная шина данных, *DO* - *data output* - выходная шина данных, *WR* – сигнал записи в СОЗУ, *RD* - сигнал чтения информации из СОЗУ, ВШД – внутренняя шина данных.

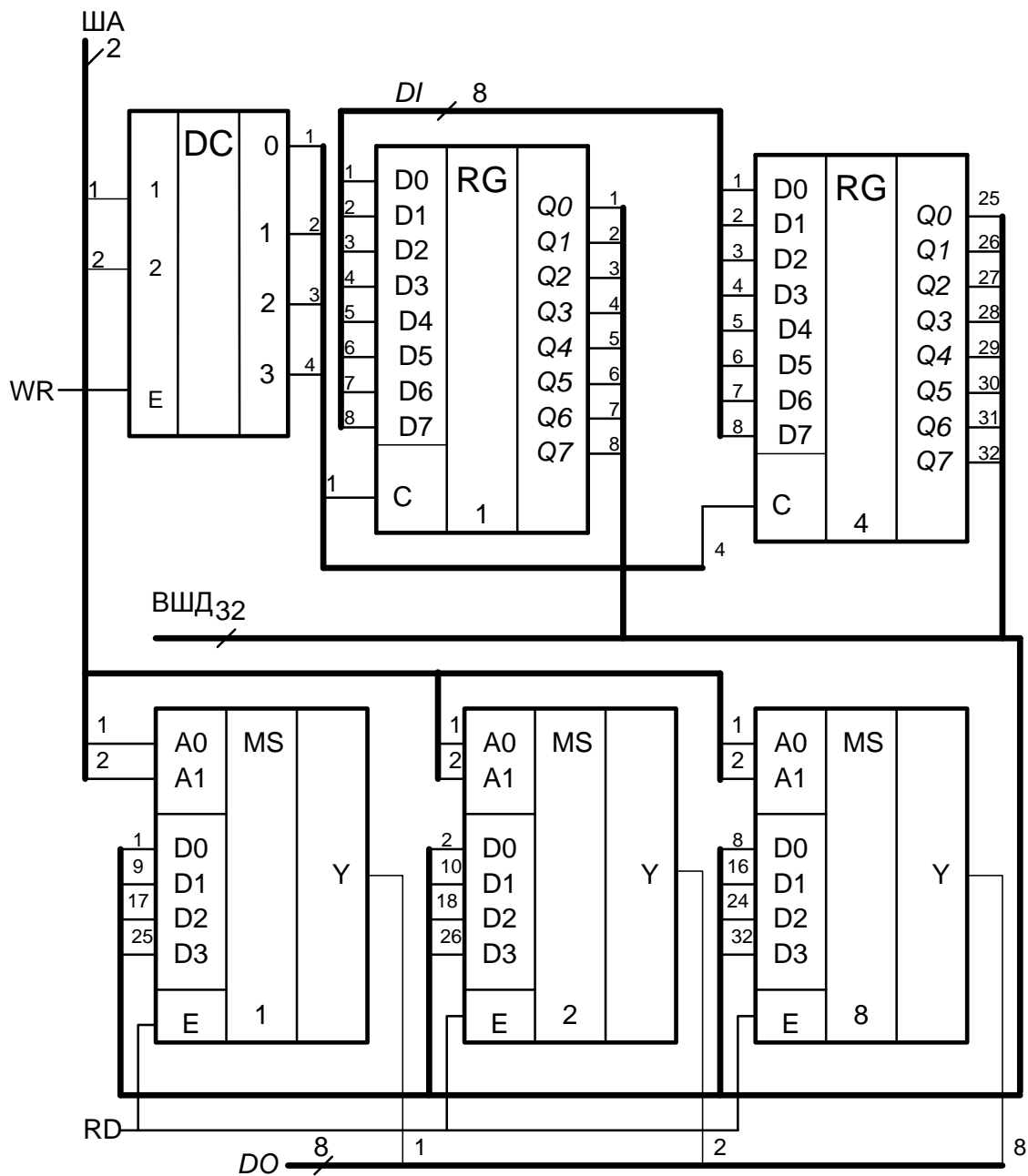


Рис. 3. Схема регистровой памяти из четырех 8-разрядных регистров

Каждый **регистр** имеет двухразрядный адрес, который подается на входы дешифратора. Например, крайний левый на рис. 3 **регистр** RG1 имеет адрес  $00_2$ , следующий –  $01_2$  (не показан на рисунке), далее –  $10_2$  (не показан), а крайний справа **регистр** RG4 имеет адрес  $11_2$ .

При наличии активного сигнала записи  $WR=1$  дешифратор в соответствии с кодом адреса выдает на один из **регистров** активный сигнал  $C=1$ , по которому информация с входной шины данных  $DI$  записывается в выбранный **регистр**. По заднему фронту  $C=1/0$  информация в этом **регистре** «защелкивается».

Если, например, на  $DI$  подана информация  $1101_2$ ,  $WR=1$  и адрес **регистра** равен  $11_2$ , тогда активный сигнал на выходе «3» дешифратора будет подан как  $C=1$  на регистр RG4. На остальных регистрах в это время будет неактивный уровень сигнала  $C=0$ , поэтому информация  $1101_2$  с входной шины данных будет записана в RG4, в остальных регистрах будет храниться записанная ранее информация.

При активном сигнале чтения  $RD=1$  активизируются все 8 мультиплексов (на схеме показаны первый, второй и восьмой, остальные подключены аналогичны), поскольку на их разрешающие входы подан активный сигнал  $E=1$ . В соответствии с поданным на дешифратор адресом, мультиплексы коммутируют на выходную шину данных информацию с выбранного регистра. Например,  $RD=1$ , адрес регистра равен  $11_2$ . Тогда на всех мультиплексах будет  $E=1$ , все они начинают выбирать информацию в соответствии с адресом  $11_2$ . Поэтому на выходную шину  $DO$  будут поданы разряды внутренней шины с номерами 25 – с первого мультиплексора, 26 – со второго, 27 – с третьего, 28 – с четвертого, 29 – с пятого, 30 – с шестого, 31 – с седьмого и 32 – с восьмого мультиплексора. Таким образом, информация, являющаяся копией содержимого **регистра** RG4 с адресом  $3=11_2$  передается на выходную шину данных  $DO$ .

Рассмотрим еще один пример синтеза схемы **регистровой памяти** объемом на 4 двухразрядных слова. Поскольку количество **регистров** равно 4, для их адресации достаточны 2 линии адреса. Соответственно количеству реги-

слов разрядность мультиплексоров равна 4. Схема приведена на рис. 4. Здесь же отображено состояние всех точек схемы при заданной входной информации. На рис. 4 приняты обозначения  $Q_{0,i-1}$  и  $Q_{1,i-1}$  - значения выходов регистров  $Q_0$  и  $Q_1$  соответственно в предыдущие моменты времени – показывают, что информация на соответствующем выходе не изменяется. Аналогично  $Y_{i-1}$  - неизменное состояние выхода мультиплексора.

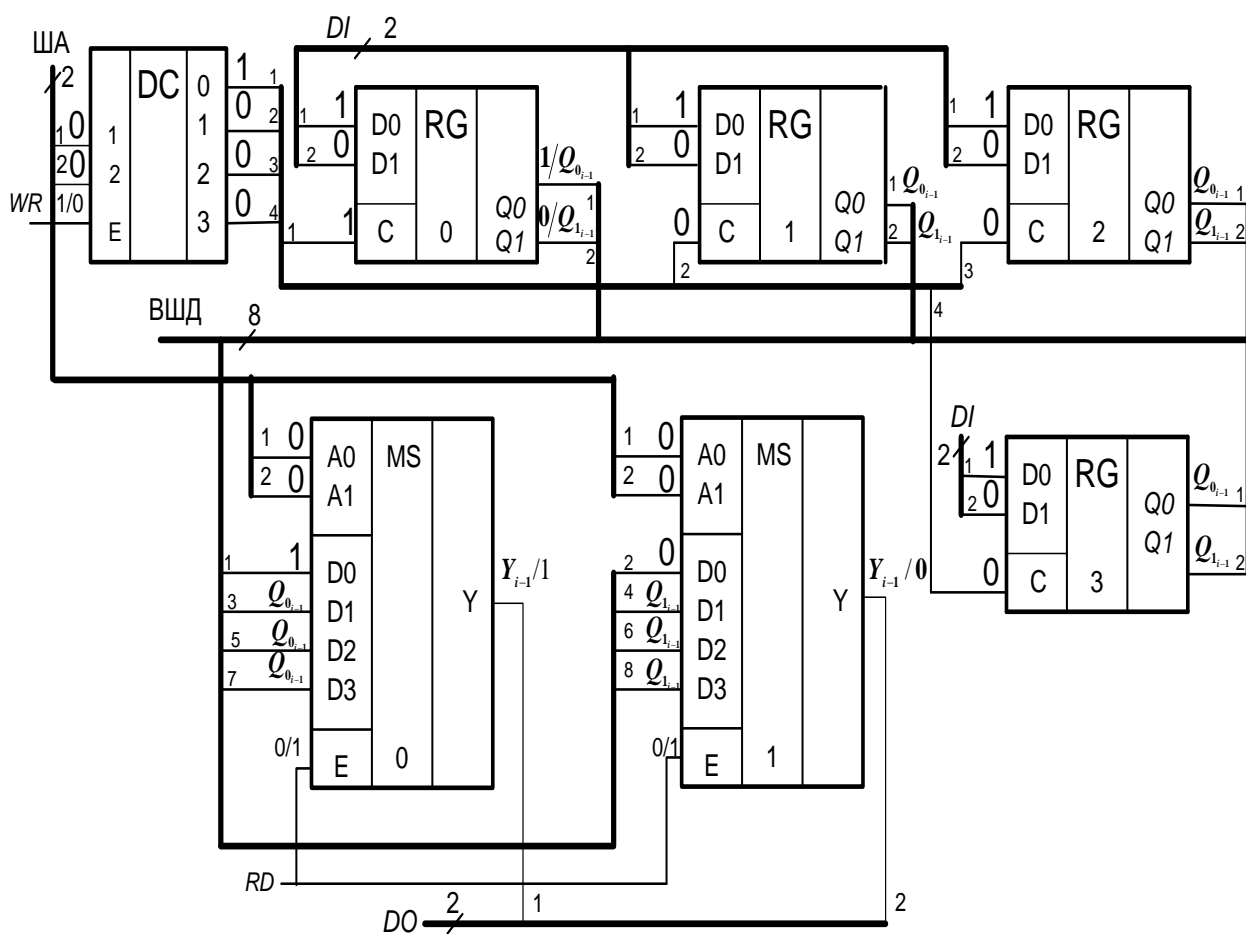


Рис. 4. Схема регистровой памяти из четырех 2-разрядных регистров