

ЭЛЕМЕНТЫ СИСТЕМ АВТОМАТИКИ

Тема 14

Синтез комбинированных схем памяти

И.В. Музылёва
2013

Построение схемы памяти (ПЗУ и ОЗУ).

<http://cifra.studentmiv.ru>

Принцип построения комбинированных схем рассмотрим на примере. Допустим, необходимо построить схему, включающую в себя ПЗУ информационного объема $4K \times 8$ на базе ИС информационного объема $1K \times 4$ каждая и ОЗУ информационного объема $8K \times 8$ на базе ИС информационного объема 256×1 каждая. Массив поддерживаемых адресов должен быть сплошным: за старшим адресом одного блока следует младший адрес следующего блока. Начальный адрес, поддерживаемый схемой, равен 0000_{16} . Схема представлена на рис.1.

Построение схемы начинается с определения начертания ИС ПЗУ. В данном случае у нее 10 входов адреса ($2^{10}=1024=1K$) и 4 линии данных. Управляющий сигнал для упрощения схемы показывается только один – выбор кристалла - с активным уровнем логической 1. Для обеспечения возможности сохранения 8-разрядных слов необходимо в один блок объединить две ИС ПЗУ (П1.1 и П1.2 в блоке ПЗУ-1 на рис. 1). Этот блок обеспечивает информационный объем $1K \times 8$. Следовательно, для синтеза схемы объемом $4K \times 8$ потребуются 4 таких блока. На рис. 1 блоки ПЗУ-2, ПЗУ-3 и ПЗУ-4 показаны упрощенно с подводом ША, ШД и управляющих сигналов.

Далее аналогичным образом синтезируется ОЗУ. В данной задаче ИС ОЗУ имеет 8 входов адреса ($2^8=256$) и 1 линию данных. Кроме того, у нее сигнал выбора кристалла CS с активным уровнем логической 1 и сигнал управления режимом работы \overline{WR}/RD .

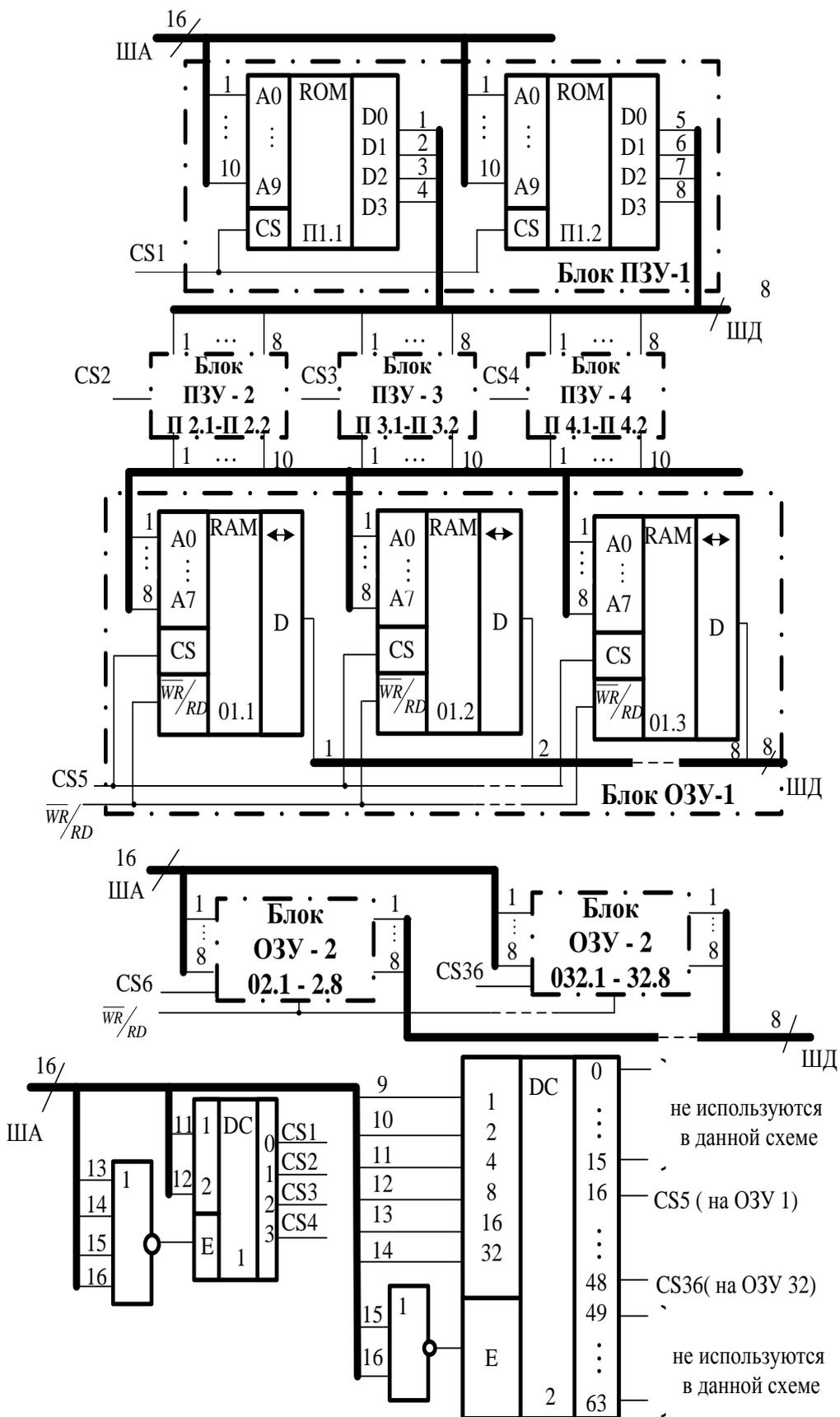


Рис. 1. Функциональная схема комбинированной памяти: ПЗУ 4К x 8 на ИС 1К x 4 и ОЗУ 8К x 8 на ИС 256 x 1.

Для обеспечения возможности сохранения 8-разрядных слов необходимо в один блок объединить 8 ИС ОЗУ (блок ОЗУ-1 на рис. 1). Этот блок обеспечивает информационный объем 256×8 . Следовательно, для синтеза схемы объемом $8K \times 8$ потребуются 32 таких блока. На рис. 1 упрощенно показаны блоки ОЗУ-2 и ОЗУ-32 с подводом ША, ШД и управляющих сигналов, остальные блоки подключаются аналогично и на рис. 1 не показаны.

Следующим этапом синтеза схемы является заполнение карты памяти (таблица 1). Начальный адрес всего блока памяти составляет 0000
 $0000\ 0000\ 0000_2 = 0000_{16}$. Это младший адрес блока ПЗУ-1. Старший адрес для него будет получаться при наличии десяти единиц в младших разрядах адреса, поскольку количество разрядов адреса ИС ПЗУ равно 10. Поэтому этот адрес будет равен $0000\ 0011\ 1111\ 1111_2 = 03FF_{16}$. Следующий, на 1 больший, код – это младший адрес блока ПЗУ-2. Он равен $0000\ 0100\ 0000\ 0000_2 = 0400_{16}$. Далее таблица для ПЗУ заполняется аналогично: для младших адресов блока младшие 10 разрядов (в таблице 1 выделено *курсивом*) равны нулю, для старших – единицы. При этом при переходе от одного блока к другому код старших разрядов (от одиннадцатого) увеличивается на 1. Всего блоков ПЗУ четыре, поэтому этот код изменяется от $00_2 = 0_{10}$ до $11_2 = 3_{10}$ (в таблице 1 выделено **жирным** шрифтом). Первый (самый младший адрес) ОЗУ следует за самым старшим адресом ПЗУ, он равен $0001\ 0000\ 0000\ 0000_2 = 1000_{16}$ (таблица 1). Разрядность адреса ИС ОЗУ отличается от разрядности ИС ПЗУ и составляет *восемь* разрядов. Очевидно, что старшим адресом для блока ОЗУ-1 будет адрес, в котором восемь младших разрядов равны 1 (в таблице 1 они также выделены *курсивом*). Старшие разряды (в таблице выделены **жирным** шрифтом), естественно, определяются тем, какой объем памяти уже занят под ПЗУ, иными словами, старшие разряды остаются теми же, что и в предыдущей строке карты памяти, получается код $0000\ 0100\ 1111\ 1111_2 = 04FF_{16}$. Младший адрес блока ОЗУ-2 на 1 больше, он равен $0000\ 0101\ 0000\ 0000_2 = 0500_{16}$ (таблица 1). Далее таблица для ОЗУ заполняется аналогично: для младших адресов блока младшие 8 разрядов (в таблице 20 вы-

делено *курсивом*) равны нулю, для старших – единице. При этом при переходе от одного блока ОЗУ к другому код старших разрядов (от девятого) увеличивается на 1. Всего блоков ОЗУ тридцать два, причем данный код для блока ОЗУ-1 не равен нулю, он составляет $10000_2=16_{10}$. Небольшая сложность заключается в том, что при переходе от ОЗУ-16, в котором младшие четыре разряда этого кода становятся равными единице ($1111_2=31_{10}$), к младшему коду ОЗУ-17 разрядность этого кода увеличивается, и он становится равным $100000_2=32_{10}$. Далее он также изменяется на 1 при переходе от одного блока ОЗУ к другому (в таблице 1 выделено **жирным** шрифтом). Тем не менее, закономерность остается такой же, как у ПЗУ, только «отсчет» блоков начинается не с нуля: он изменяется от $10000_2=16_{10}$ до $101111_2=47_{10}$.

Таблица 1. Карта памяти для схемы, состоящей из ПЗУ информационного объема 4К×8 на базе ИС 1К×4 и ОЗУ 8К×8 на базе ИС 256×1

| Поддерживаемые адреса | | Активный блок памяти |
|--|--------------------------|----------------------|
| В двоичном коде | В шестнадцатеричном коде | |
| 0000 0000 0000 0000 0000 0011 1111 1111 | 0000 03FF | ПЗУ-1 |
| 0000 0100 0000 0000 0000 0111 1111 1111 | 0400 07FF | ПЗУ-2 |
| 0000 1000 0000 0000 0000 1011 1111 1111 | 0800 0BFF | ПЗУ-3 |
| 0000 1100 0000 0000 0000 1111 1111 1111 | 0C00 0FFF | ПЗУ-4 |
| 0001 0000 0000 0000 0001 0000 1111 1111 | 1000 10FF | ОЗУ-1 |
| 0001 0001 0000 0000 0001 0001 1111 1111 | 1100 11FF | ОЗУ-2 |
| ... | ... | ... |
| 0001 1111 0000 0000 0001 1111 1111 1111 | 1F00 1FFF | ОЗУ-16 |
| 0010 0000 0000 0000 0010 0000 1111 1111 | 2000 20FF | ОЗУ-17 |
| ... | ... | ... |
| 0010 1110 0000 0000 0010 1110 1111 1111 | 2E00 2EFF | ОЗУ-31 |
| 0010 1111 0000 0000 0010 1111 1111 1111 | 2F00 2FFF | ОЗУ-32 |

Следующим этапом построения памяти является синтез схемы дешифрации, инициирующей работу того или другого блока ЗУ в соответствии с картой памяти. При этом можно реализовать эту схему на нескольких дешифраторах так, как показано непосредственно на рис. 1. Здесь дешифратор 1 генерирует сигналы выбора кристалла для блоков ПЗУ. Он работает только в том случае, когда 13-й, 14-й, 15-й и 16-й разряды адреса равны 0 (таблица 1), что обеспечивается первым элементом ИЛИ-НЕ на рис. 1. На информационные линии этого дешифратора заведены 11-й и 12-й разряды ША (в таблице 1 выделены **жирным** шрифтом). На информационные линии дешифраторов 2 и 3 подключены 9-й, 10-й, 11-й, 12-й, 13-й и 14-й разряды ША. Выходы дешифратора с «16» по «47» подаются в качестве сигналов выбора кристалла на блоки ОЗУ. Данный дешифратор будет работать в том случае, когда два старших разряда адреса – 15-й и 16-й – будут равны 0, что поддерживается вторым логическим элементом ИЛИ-НЕ на рис. 1. Схема, представленная на рис. 1, является функциональной, поскольку практически дешифратор 2 можно реализовать лишь в виде каскада на дешифраторах меньшей разрядности (лекция 5). Кроме того, функции дешифратора 1 можно реализовать на дешифраторе 2 так, как показано на рис. 2. Из таблицы 1 видно, что для всех блоков ПЗУ разряды 9-й и 10-й изменяются от $00_2=0_{10}$ до $11_2=3_{10}$, поэтому для получения сигналов выбора кристалла, поступающих на блоки ПЗУ, нужно объединять функцией ИЛИ по 4 выхода дешифратора: «0», «1», «2» и «3» - для получения сигнала CS1, поступающего на ПЗУ-1; «4», «5», «6» и «7» - для получения сигнала CS2, поступающего на ПЗУ-2 и т.д. Для ОЗУ старшие разряды кода адреса, выделенные в таблице 17 **жирным** шрифтом, изменяются на 1 при переходе от блока к блоку, поэтому сигналы выбора кристалла CS5 ... CS36, поступающие на ОЗУ-1 ... ОЗУ-32 соответственно, снимаются непосредственно с выходов дешифратора «16» ... «47». Номера этих выходов соответствуют кодам, выделенным **жирным** шрифтом в таблице 1. Дешифратор согласно карте памяти будет работать только тогда, когда старшие два разряда кода адреса (15-й и 16-й) будут равны нулю, что поддерживается логикой ИЛИ-НЕ.

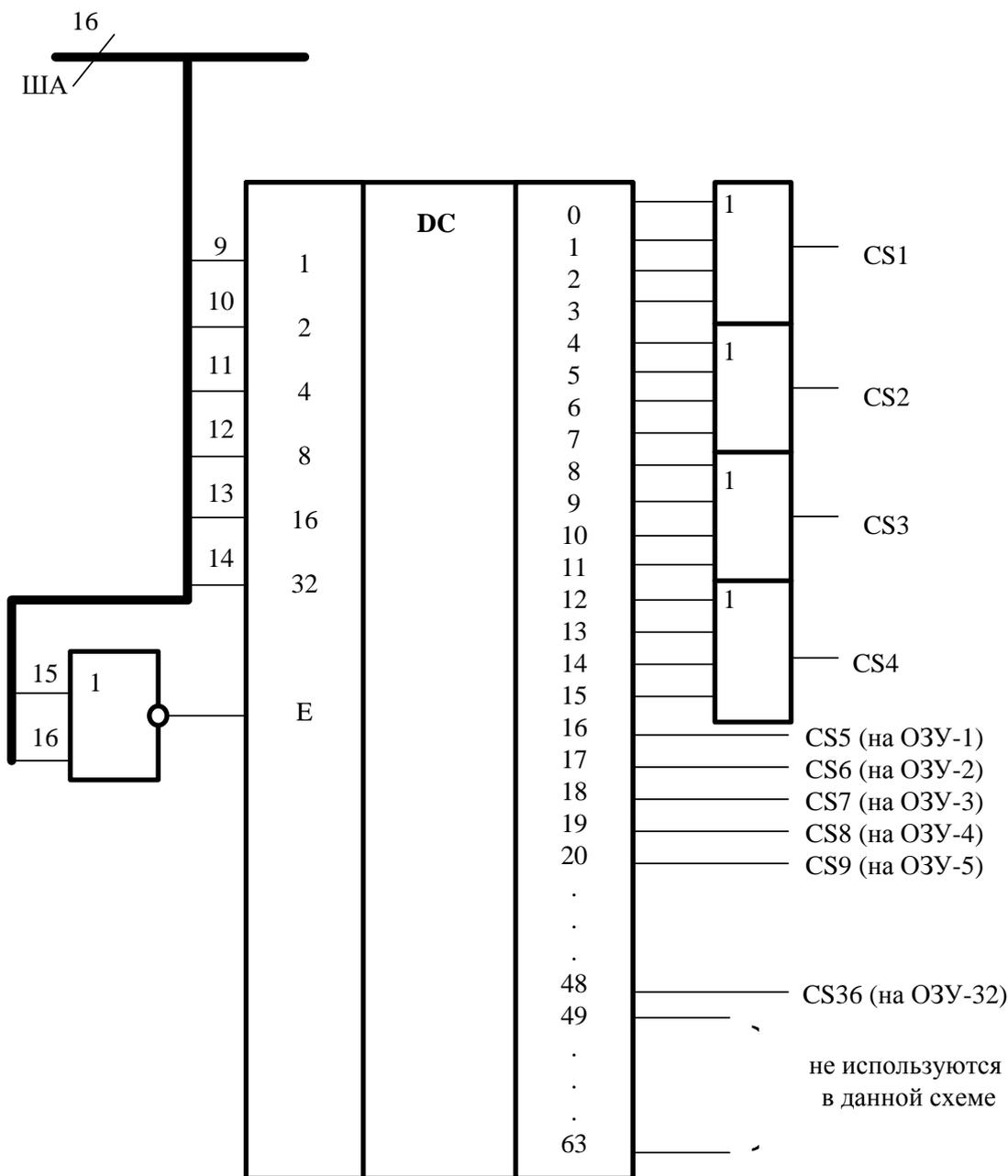


Рис. 2. Альтернативная функциональная схема дешифрации для комбинированной схемы памяти: ПЗУ 4К x 8 на ИС 1К x 4 и ОЗУ 8К x 8 на ИС 256 x 1

Рассмотрим еще один пример синтеза комбинированной схемы памяти, состоящей из ПЗУ и ОЗУ заданного информационного объема: ПЗУ объемом 1Кx8 на базе ИС 512x8 каждая и ОЗУ 2Кx8 на базе ИС информационного объема 256x1 каждая. Но теперь массив поддерживаемых адресов начинается не с нуля, а с заданного кода - 1000_{16} . При этом массив адресов должен быть непрерывным: за старшим адресом ПЗУ должен следовать младший адрес ОЗУ.

Схема представлена на рис. 3.

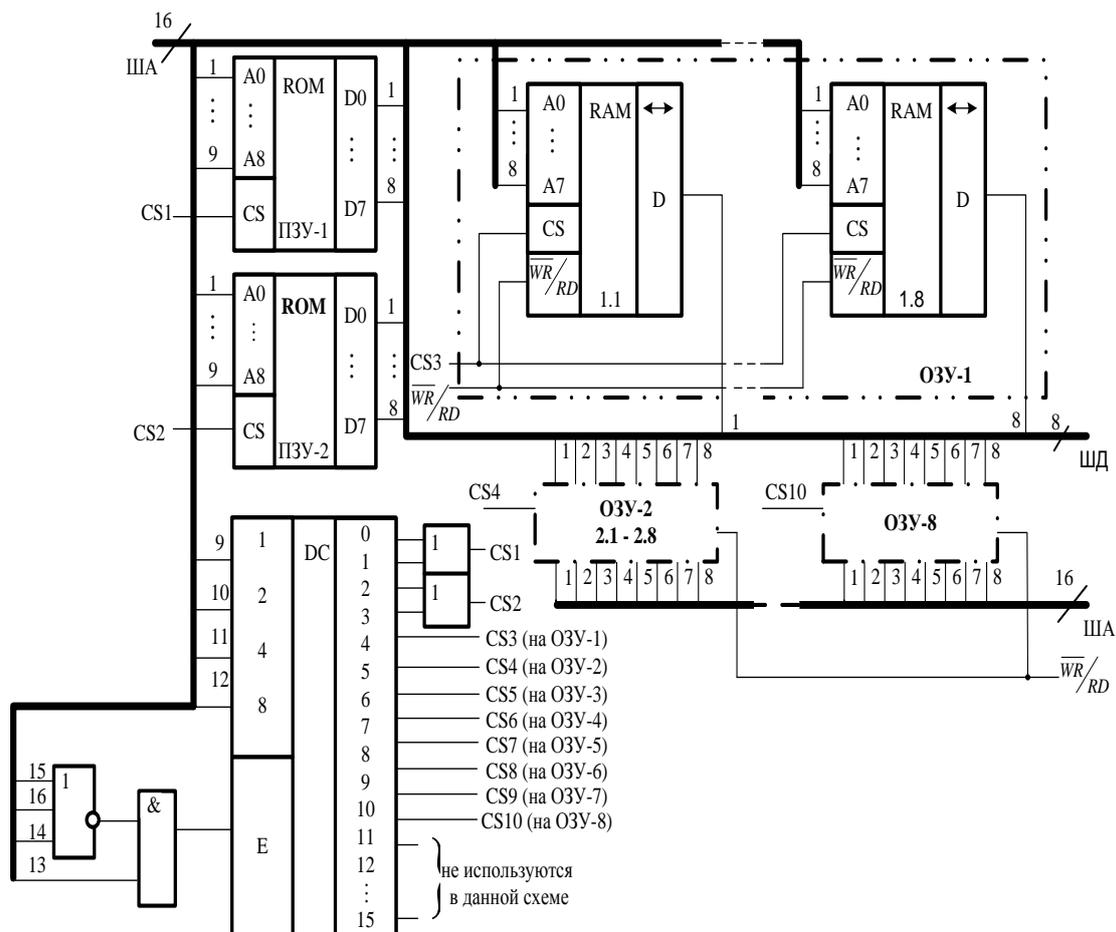


Рис. 15.3. Схема памяти, включающей в себя ПЗУ 1К x 8 на ИС 512 x 8 и ОЗУ 2К x 8 на ИС 256 x 1

ИМС ПЗУ имеет 9 входов адреса ($2^9=512$) и 8 линий данных. Возможность сохранения 8-разрядных слов обеспечивается одной ИС, она составляет блок ПЗУ объемом 512x8. Следовательно, для синтеза схемы объемом 1Кx8 потребуются 2 таких блока. На рис. 3 блоки ПЗУ-1 и ПЗУ-2 показаны полностью.

ИС ОЗУ имеет 8 входов адреса ($2^8=256$) и 1 линию данных. Кроме того, у нее сигнал выбора кристалла CS с активным уровнем логической 1 и сигнал управления режимом работы \overline{WR}/RD . Для обеспечения возможности сохранения 8-разрядных слов необходимо в один блок объединить *восемь* ИС ОЗУ (блок ОЗУ-1 на рис. 3). Этот блок обеспечивает информационный объем 256x8. Следовательно, для синтеза схемы объемом 2Кx8 потребуются *восемь* таких блоков. На рис. 3 упрощенно показаны блоки ОЗУ-2 и ОЗУ-8 с подводом ША, ШД и управляющих сигналов, остальные блоки подключаются аналогично.

Следующим этапом синтеза схемы является заполнение карты памяти (таблица 2). Начальный адрес памяти составляет $1000_{16}=0001\ 0000\ 0000\ 0000_2$. Это младший адрес блока ПЗУ-1. Старший адрес для него будет получаться при наличии *девяти* единиц в младших разрядах адреса, поскольку количество разрядов адреса ИС ПЗУ равно 9: $0001\ 0001\ 1111\ 1111_2 = 11FF_{16}$. Следующий, на 1 больший, код – это младший адрес ПЗУ-2. Он равен $0001\ 0010\ 0000\ 0000_2 = 0200_{16}$. Старший адрес для этого блока равен $0001\ 0011\ 1111\ 1111_2 = 13FF_{16}$. Таким образом, для младших адресов блоков (они же ИС) ПЗУ младшие *девять* разрядов равны нулю, для старших – единицы (в таблице 15.2 выделено *курсивом*).

Таблица 2. Карта памяти для схемы, состоящей из ПЗУ 1К×8 на базе ИС 512×8 и ОЗУ 2К×8 на базе ИС 256×1

| Поддерживаемые адреса | | Активный блок памяти |
|--|--------------------------|----------------------|
| В двоичном коде | В шестнадцатеричном коде | |
| 0001 0000 0000 0000 0001 0001 1111 1111 | 1000 11FF | ПЗУ-1 |
| 0001 0010 0000 0000 0001 0011 1111 1111 | 1200 13FF | ПЗУ-2 |
| 0001 0100 0000 0000 0001 0100 1111 1111 | 1400 14FF | ОЗУ-1 |
| 0001 0101 0000 0000 0001 0101 1111 1111 | 1500 15FF | ОЗУ-2 |
| 0001 0110 0000 0000 0001 0110 1111 1111 | 1600 16FF | ОЗУ-3 |
| 0001 0111 0000 0000 0001 0111 1111 1111 | 1700 17FF | ОЗУ-4 |
| 0001 1000 0000 0000 0001 1000 1111 1111 | 1800 18FF | ОЗУ-5 |
| 0001 1001 0000 0000 0001 1001 1111 1111 | 1900 19FF | ОЗУ-6 |
| 0001 1010 0000 0000 0001 1010 1111 1111 | 1A00 1AFF | ОЗУ-7 |
| 0001 1011 0000 0000 0001 1011 1111 1111 | 1B00 1BFF | ОЗУ-8 |

Первый (самый младший адрес) ОЗУ следует за самым старшим адресом ПЗУ, он равен $0001\ 0100\ 0000\ 0000_2 = 1400_{16}$. Разрядность адреса ИС ОЗУ отличается от разрядности ИС ПЗУ и составляет *восемь* разрядов. Очевидно, что старшим адресом для блока ОЗУ-1 будет адрес, в котором *восемь* младших раз-

рядов равны 1 (в таблице 2 они также выделены *курсивом*). Старшие разряды (в таблице 2 выделены **жирным** шрифтом), естественно, остаются теми же, что и в предыдущей строке карты памяти. При этом получается код $0001\ 0100\ 1111\ 1111_2 = 14FF_{16}$. Младший адрес блока ОЗУ-2 на 1 больше, он равен $0001\ 0101\ 0000\ 0000_2 = 1500_{16}$. Далее таблица для ОЗУ заполняется аналогично: для младших адресов блока *младшие восемь* разрядов (в таблице 18 выделено *курсивом*) равны нулю, для старших – единице. При этом при переходе от одного блока ОЗУ к другому код старших разрядов (от девятого) увеличивается на 1. Всего блоков ОЗУ восемь, причем данный код для блока ОЗУ-1 не равен нулю, он составляет $10100_2 = 20_{10}$. Однако закономерность остается такой же, как у ПЗУ, только «отсчет» блоков начинается не с нуля: он изменяется от $10100_2 = 20_{10}$ до $11011_2 = 27_{10}$ (в таблице 2 выделено жирным шрифтом).

Схема дешифрации, иницирующая работу того или другого блока ЗУ *в соответствии с картой памяти*, реализована на одном дешифраторе. Из таблицы 18 видно, что для всех блоков ПЗУ 9-й разряд изменяется от 0 до 1. Поэтому для получения сигналов выбора кристалла, поступающих на блоки ПЗУ, нужно объединять функцией ИЛИ по 2 выхода дешифратора: «0» и «1» - для получения сигнала CS1, поступающего на ПЗУ-1; «2» и «3» - для получения сигнала CS2, поступающего на ПЗУ-2. Для ОЗУ старшие разряды кода адреса, выделенные в таблице 21 жирным шрифтом, изменяются на 1 при переходе от блока к блоку, поэтому сигналы выбора кристалла CS3 ... CS10, поступающие на ОЗУ-1 ... ОЗУ-8 соответственно, снимаются непосредственно с выходов дешифратора «4» ... «11». Номера этих выходов соответствуют кодам, выделенным жирным шрифтом в таблице 18. Дешифратор согласно карте памяти будет работать только тогда, когда старшие четыре разряда кода адреса будут равны 0001, что поддерживается логикой ИЛИ-НЕ на рис. 3.