

Тема 12

Наращивание разрядности схем памяти

И.В. Музылёва
2013

Наращивание разрядности схем памяти по ША и ШД.

Увеличение разрядности чисел

Как правило, разрядность данных одной ИМС памяти, оказывается недостаточной для хранения слова большой разрядности. Особенно это относится к ОЗУ, имеющим более сложную структуру запоминающего элемента, занимающего большее, нежели у ПЗУ, место на кристалле ИМС и хранящего часто лишь одноразрядные слова (лекция 12). Необходимая разрядность при этом обеспечивается соединением нескольких однотипных ИМС по следующим правилам :

- ✓ на адресные шины всех ИМС параллельно подается один и тот же код адреса;
- ✓ управляющие сигналы (выбора кристалла и управление записью и чтением) подаются на все ИМС одновременно;
- ✓ каждая ИМС хранит свой разряд слова данных.

На рис. 1 приведена схема построения блока ОЗУ информационного объема 1Кх8 на базе ИМС информационного объема 1Кх1 каждая. На адресные линии каждой ИМС подключаются младшие линии шины адреса (для примера она принята 16-разрядной).

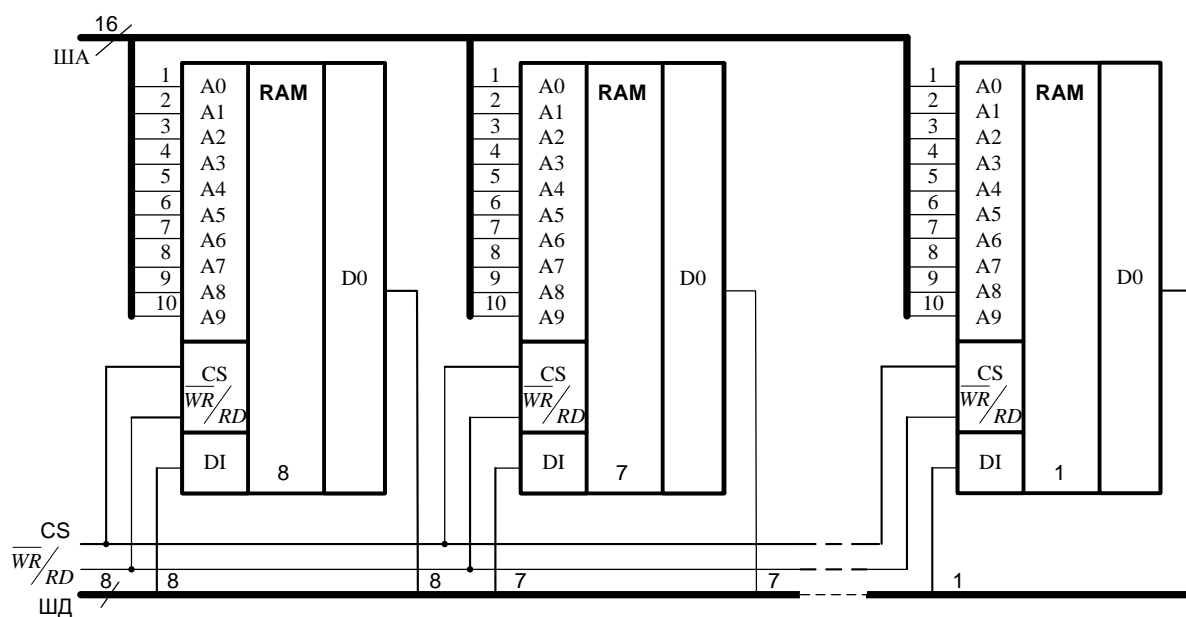


Рис. 1. Достижение требуемой разрядности двоичного числа в схемах памяти

Все ИМС группы работают одновременно, поскольку сигналы выбора кристалла CS объединены в одну линию. Линии записи/чтения также объединены. При этом каждая ИМС хранит свой разряд данных. Все линии данных со всех ИМС образуют в данном случае 8-разрядную шину данных ШД.

*Увеличение информационного объема
при фиксированной разрядности данных*

В том случае, когда разрядность всего двоичного числа поддерживается одной ИМС, а количество слов, сохраняемых ею, недостаточно для обеспечения требуемого информационного объема объединяют несколько таких ИМС по следующим правилам:

- одноименные разряды ШД всех ИМС включаются параллельно;
- младшие разряды ША подключаются параллельно ко всем ИМС;
- сигнал выбора кристалла у каждой ИМС свой, он приходит с дешифратора, на входы которого подаются старшие разряды ША, следующие за подключенными параллельно ко всем ИМС;
- сигнал выбора режима подается одновременно на все ИМС.

Построенная по этим правилам схема ПЗУ информационного объема $1K \times 8$ на базе ИМС информационного объема 256×8 каждая показана на рис. 2. Здесь младшие восемь разрядов ША подаются одновременно на все ИМС. Следующие два старших разряда ША – 9-й и 10-й – поступают на дешифратор, генерирующий сигналы выбора кристалла для каждой ИМС. Данному подключению соответствует **карта памяти** (таблица 1) – таблица, содержащая начальные и конечные адреса, поддерживаемые каждой ИС схемы памяти. В рассматриваемом примере начальным адресом памяти является адрес 0000_{16} . При подаче этого кода младшие восемь разрядов поступают на все ИС, но в активный режим переводится только первая ИМС, так как код 00_2 на входе дешифратора инициирует наличие активного (единичного) сигнала только на выходе «0» дешифратора, который в качестве сигнала выбора кристалла подается на вход CS первой ИМС.

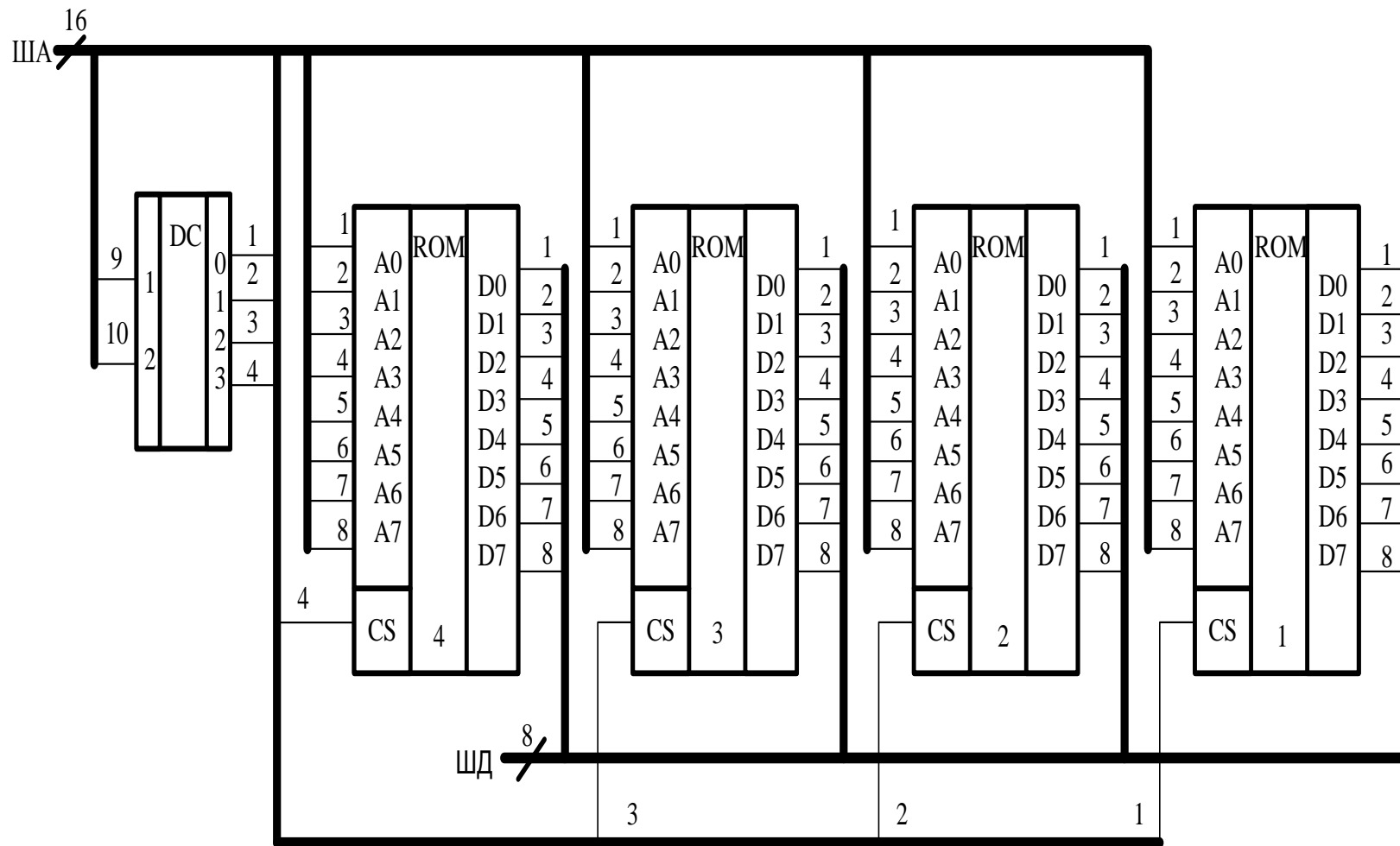


Рис. 2. Достижение требуемого информационного объема памяти с фиксированной длиной двоичного числа

На входах *CS* остальных ИМС *ROM* в это время пассивный сигнал логического 0, поэтому они находятся в режиме хранения информации. В таблице указываются только младшие и старшие адреса, поддерживаемые каждой ИМС. Поэтому для всех ИМС в младшем адресе восемь младших разрядов равны нулю, а в старшем адресе – восемь старших разрядов равны 1. Для обеспечения непрерывности массива адресов за старшим адресом, поддерживаемым первой ИМС, следует младший адрес, поддерживаемый второй ИМС. Они отличаются на 1. Это положение справедливо и для остальных ИМС (таблица 1).

Таблица 1. Карта памяти для схемы ПЗУ информационного объема 1Кх8 на базе ИМС информационного объема 256х8 каждая

В двоичном коде	В шестнадцатеричном коде	Активная ИМС (блок) памяти
0000 0000 0000 0000 0000 0000 1111 1111	0000 00FF	1
0000 0001 0000 0000 0000 0001 1111 1111	0010 01FF	2
0000 0010 0000 0000 0000 0010 1111 1111	0200 02FF	3
0000 0011 0000 0000 0000 0011 1111 1111	0300 03FF	4