

ЭЛЕМЕНТЫ СИСТЕМ АВТОМАТИКИ

# Тема 9

---

Счётные схемы

И.В. Музылёва  
2013

Принцип действия счётных схем как основы построения арифметических устройств

Счетными схемами, лежащими в основе построения арифметических устройств ЭВМ, являются **счетчики** и **сумматоры**. Любые, даже самые сложные, вычислительные схемы представляют собой комбинацию **счетчиков** различных разновидностей и **сумматоров**, реализующих вычисления, как правило, в дополнительном коде.

### *Двоичные счетчики*

*Счетчиком называют функциональный узел, предназначенный для счета сигналов.*

По мере поступления входных сигналов **счетчик** последовательно перебирает свои состояния в определенном для данной схемы порядке. В частности, *двоичные* счетчики перебирают последовательность *двоичных* кодов. В том случае, если последовательность выдается с возрастанием кода, счетчик называется **суммирующим**, если код уменьшается с приходом каждого счетного сигнала, то счетчик называется **вычитающим**. Если в счетчике предусмотрено переключение из суммирующего режима в вычитающий и обратно, он называется **реверсивным**. Количество схем счетчиков огромно. Их изучение является отдельной, обширной темой, и задачей данного курса не является.

Простейший синхронный **суммирующий счетчик** можно построить на счетных, или *T*-триггерах (от англ. *toggle* - кувыркаться). Счетным *T*-триггером называют так называемый *JK*-триггер, который работает в счетном режиме, когда на *J*- и *K*-входы постоянно подана логическая 1. *JK*-триггер представляет собой соединение двух одноктактных *D*-триггеров-защелок (рис. 1.а), на *C*-входы которых поступают противоположные уровни сигналов.

При подаче  $J=1$  и  $K=1$  на выходе нижнего элемента И будет постоянный логический 0, поскольку  $\bar{K}=0$ . А состояние верхнего элемента И будет определяться состоянием выхода  $\bar{Q}$  всей схемы. Если в предыдущий момент времени  $Q=0$ , а  $\bar{Q}=1$  то на выходе элемента И-ИЛИ будет логическая 1. При  $C=1$  она записывается в первый *D*-триггер, а при отрицательном фронте на  $C=1/0$  - во

второй  $D$ -триггер и выдается на выход  $Q$  всей схемы: формируется передний фронт импульса  $Q=0/1$ . При  $Q=1$  на инверсном выходе схемы  $\bar{Q}=0$ . Этот сигнал переведет при  $C=1$  первый  $D$ -триггер в нулевое состояние, а при  $C=1/0$  - второй  $D$ -триггер и выход  $Q$  всей схемы переводится в нулевое состояние схемы (формируется задний фронт импульса  $Q=1/0$ ) так, как показано на рис. 1,б.

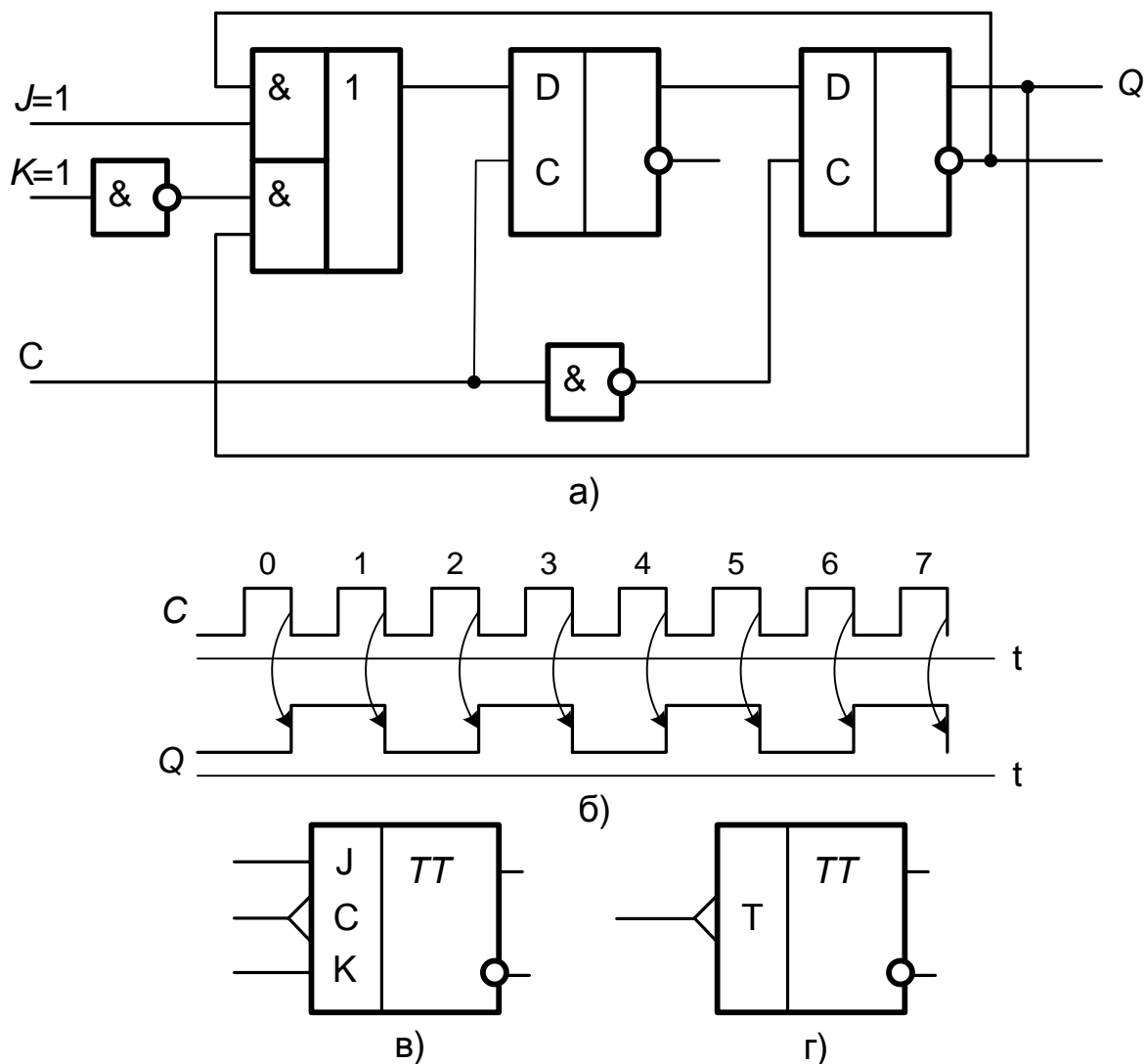


Рис. 1.  $JK$ -триггер: а - функциональная схема; б - временная диаграмма работы; в - УГО  $JK$ -триггера; г - УГО счетного  $T$ -триггера

Таким образом, в счетном режиме частота входных сигналов уменьшается в два раза. Факт переключения триггера в противоположное состояние при прохождении заднего фронта сигнала  $C=1/0$  отображается на УГО динамиче-

**ским входом** в виде треугольника (рис. 1,в и г). Все ранее рассмотренные управляющие сигналы были **статическими**.

При последовательном соединении нескольких счетных Т-триггеров получаем схему простейшего **синхронного счетчика** (рис. 2,а). При этом выход самого последнего триггера будет являться самым старшим разрядом двоичного кода на выходе **счетчика**, выход самого первого триггера – младшим разрядом в соответствии с временной диаграммой, представленной на рис. 6б,б. Данной схеме соответствует УГО на рис. 2.б. Как правило, у счетчиков предусматриваются вход *R* для принудительного сброса в нулевое состояние (когда все триггеры схемы сброшены в 0) и выход переноса *CR*, устанавливаемый в 1 в том случае, когда прошла вся последовательность импульсов (рис. 2,в). Для схемы 3-разрядного **счетчика**, представленной на рис. 2, это коды от  $000_2$  до  $111_2$ .

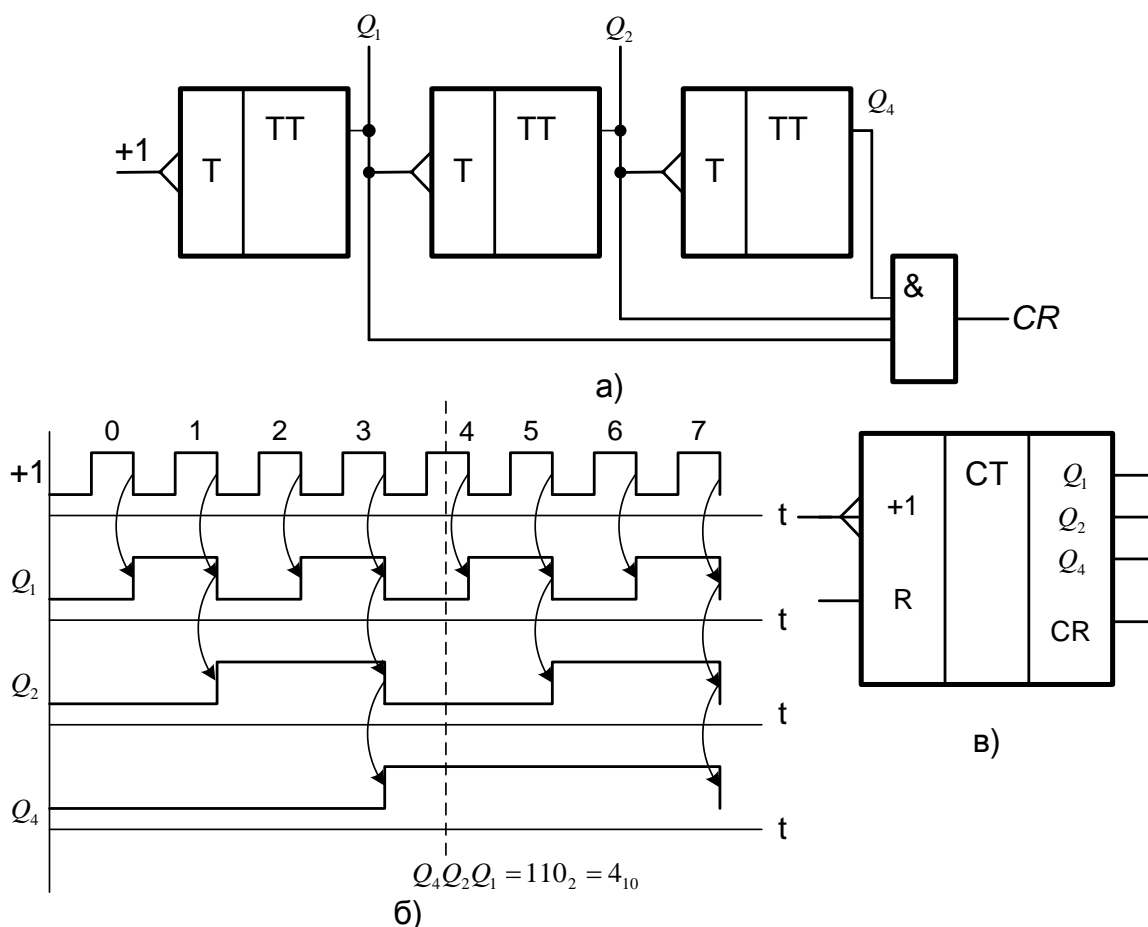


Рис. 2. Суммирующий двоичный счетчик: а - функциональная схема; б - временная диаграмма работы; в - УГО

Выход переноса может быть использован для последовательного соединения нескольких **счетчиков** с целью повышения разрядности подсчитываемого числа. Такие схемы называются *схемами с последовательным переносом*. Существуют также и более сложные схемы с *параллельным переносом*.

## Сумматоры

**Сумматором называют функциональный узел, выполняющий сложение одно- или многоразрядных двоичных чисел в соответствии с правилами двоичного сложения.**

Правила двоичного сложения можно представить в виде таблицы истинности будущей логической схемы (таблица 1) **двоичного сумматора** и построить эту схему по принципам, изложенным в теме 3.

Таблица 1 Таблица истинности одноразрядного двоичного сумматора

Входной перенос из младшего по (отношению к текущему) разряда $P_{i-1}$	Текущий разряд первого слагаемого $a_i$	Текущий разряд второго слагаемого $b_i$	Текущий разряд суммы $S_i$	Выходной перенос из текущего разряда суммы $P_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Для текущего разряда суммы  $S_i$  логическое выражение имеет вид:

$$S_i = \overline{P_{i-1}} \cdot \overline{a_i} \cdot b_i + \overline{P_{i-1}} \cdot a_i \cdot \overline{b_i} + P_{i-1} \cdot \overline{a_i} \cdot \overline{b_i} + P_{i-1} \cdot a_i \cdot b_i,$$

причем согласно карте Карно, представленной на рис. 3,а, данное выражение не минимизируется. Для выходного переноса  $P_i$  минимизация возможна, поэтому логическое выражение согласно рис. 3,б, получается следующим:

$$S_i = P_{i-1} \cdot b_i + a_i \cdot b_i + P_{i-1} \cdot a_i.$$

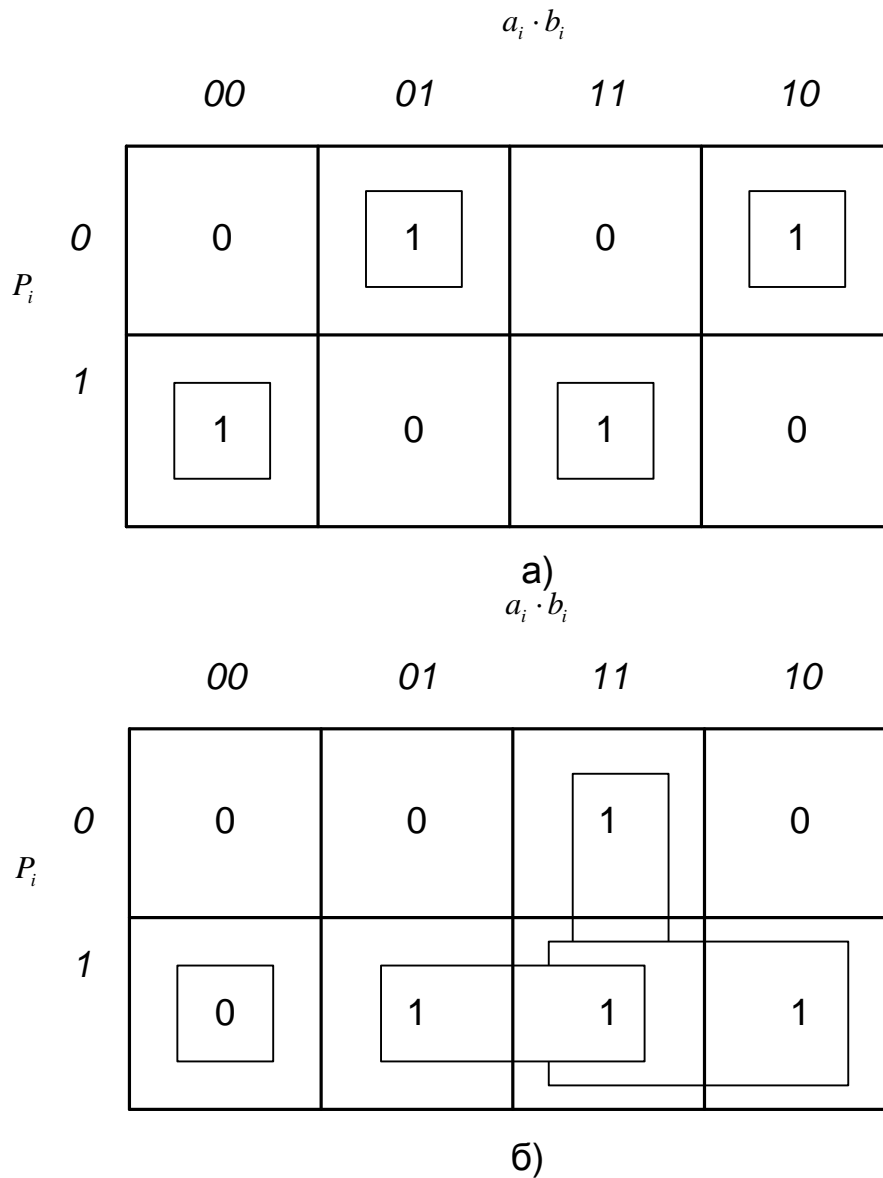
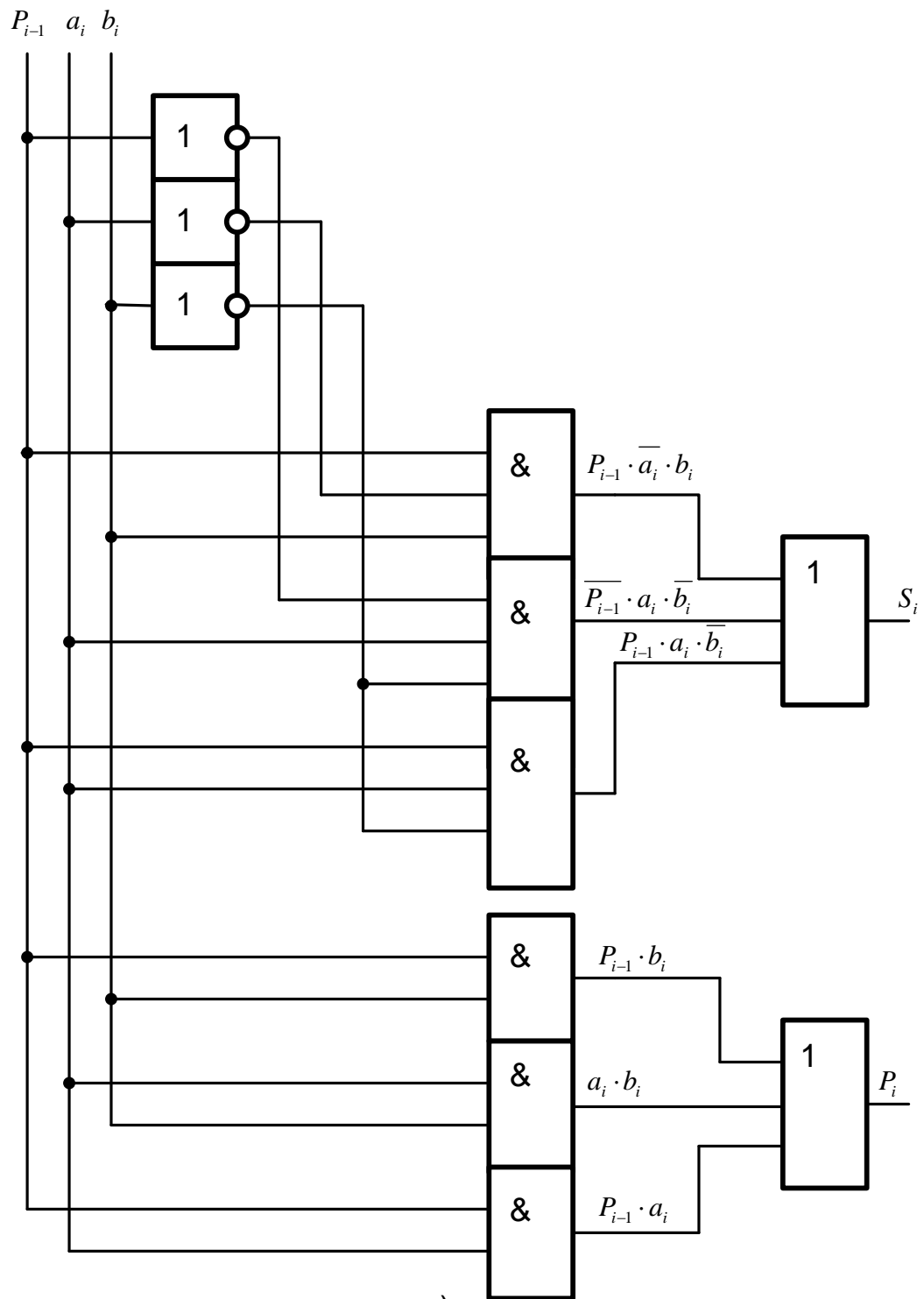
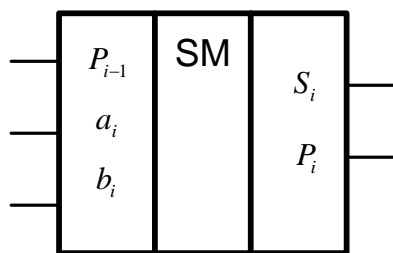


Рис. 3. Карты Карно для одноразрядного сумматора: а - для текущего разряда суммы; б - для текущего разряда выходного переноса

Схема одноразрядного сумматора и его УГО представлена на рис. 4.



a)



б)

Рис. 4. Одноразрядный сумматор: а - функциональная схема; б - УГО

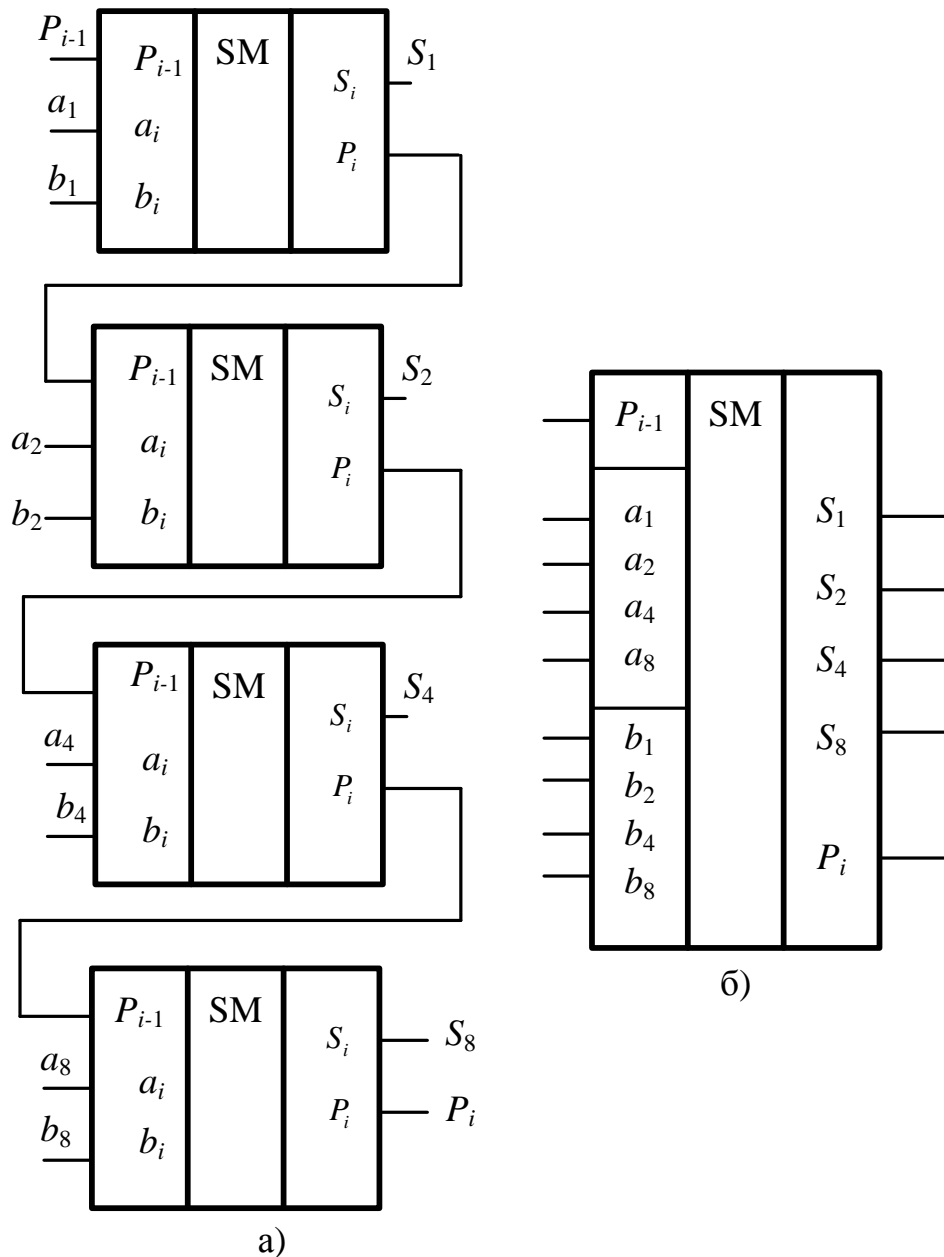


Рис. 5. Четырехразрядный сумматор: а - функциональная схема; б - УГО

Для сложения многоразрядных двоичных чисел необходимо последовательно соединить нужное количество сумматоров так, как показано на рис. 5. Здесь  $a_8 a_4 a_2 a_1$  и  $b_8 b_4 b_2 b_1$  – 4-разрядные слагаемые,  $S_8 S_4 S_2 S_1$  – 4-разрядная сумма.